

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年1月8日 (08.01.2004)

PCT

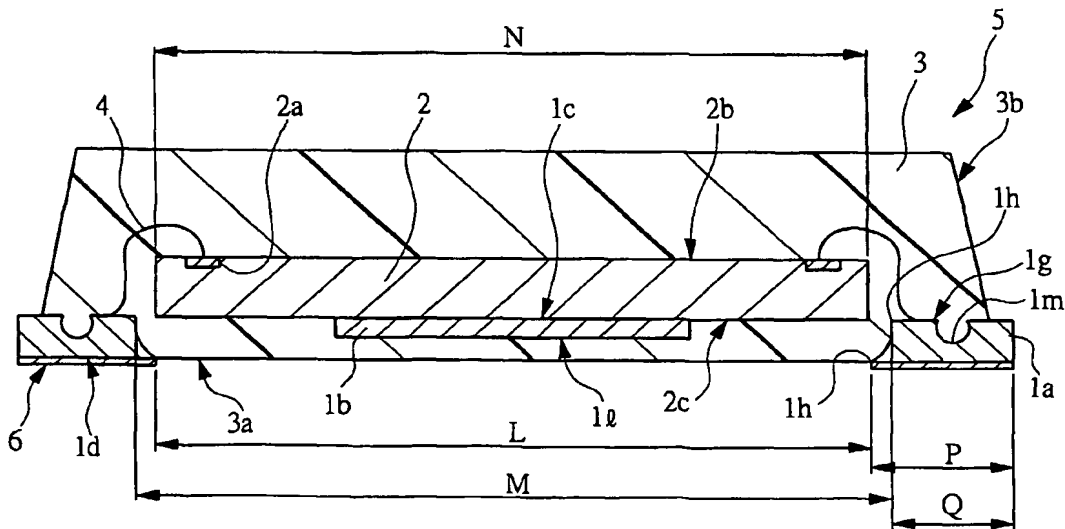
(10) 国際公開番号  
WO 2004/004005 A1

- (51) 国際特許分類: H01L 23/50
- (21) 国際出願番号: PCT/JP2003/006830
- (22) 国際出願日: 2003年5月30日 (30.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-191666 2002年7月1日 (01.07.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP). 株式会社ルネサス北日本セミコンダクタ (RENESAS NORTHERN JAPAN SEMICONDUCTOR, INC.) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 嶋貫 好彦 (SHIMANUKI, Yoshihiko) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 鈴木 義弘 (SUZUKI, Yoshihiro) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 土屋 孝司 (TSUCHIYA, Koji) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device comprises a tab (1b) whereon a semiconductor chip (2) is mounted, an encapsulation section (3) formed by encapsulating the semiconductor chip (2) with resin, leads (1a) having faces (1d) to be mounted and exposed to the peripheral edge section of the rear face (3a) of the encapsulation section (3) and encapsulation section forming faces (1g) disposed on the opposite side of the faces to be mounted, and wires (4) for connecting the pads (2a) of the semiconductor chip (2) with the leads (1a). Oppositely disposed ones (1a) of the leads (1a) are so formed that the length (M) between the inside end sections (1h) of the encapsulation section forming faces (1g) of the leads (1a) is longer than the length (L) between the inside end sections (1h) of the faces (1d) to be mounted. Thus, the chip mounting region formed by being surrounded by the inside end sections (1h) of the encapsulation forming faces (1g) of each lead (1a) is enlarged, so that an increase in the size of a mountable chip is attained.

[続葉有]



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 半導体チップ(2)が搭載されたタブ(1b)と、半導体チップ(2)が樹脂封止されて形成された封止部(3)と、封止部(3)の裏面(3a)の周縁部に露出する被実装面(1d)とその反対側に配置された封止部形成面(1g)とを有した複数のリード(1a)と、半導体チップ(2)のパッド(2a)とリード(1a)とを接続するワイヤ(4)とからなり、複数のリード(1a)のうち、対向して配置されたリード(1a)同士における封止部形成面(1g)の内側端部(1h)間の長さ(M)が被実装面(1d)の内側端部(1h)間の長さ(L)より長くなるように形成され、これにより、各リード(1a)の封止部形成面(1g)の内側端部(1h)によって囲まれて形成されるチップ搭載領域を拡大することができ、搭載可能チップサイズの拡大化を図ることができる。

明 細 書 29 DEC 2003

## 半導体装置およびその製造方法

## 5 技術分野

本発明は、半導体製造技術に関し、特に、搭載可能チップサイズの拡大化に適用して有効な技術に関する。

## 背景技術

10 小型化を図った半導体装置として、QFN (Quad Flat Non-leaded Package) と呼ばれる半導体チップより若干大きい程度の小型半導体パッケージが開発されており、樹脂モールドによって形成された封止部の裏面の周縁部に外部端子となる複数のリードが露出して配置され、このような構造の半導体パッケージは、ペリフェラル形と呼ばれている。

15 QFNでは、各リードが封止部の裏面に露出しており、それぞれのリードと封止用樹脂との接合面積が非常に少ないため、したがって、各リードと封止部との接合強度を高めるための工夫が種々考案されている。

なお、QFNの構造については、例えば、株式会社プレスジャーナル1998年7月27日発行、「月刊Semiconductor World増刊号'99半導体組立・検査技術」、53～57頁に記載されている。

20 QFNでは、図14の比較例に示すように、各リード1aの封止部3の裏面3aに露出して、外部端子として機能する被実装面1dの延在方向の長さ(P)は、その反対側に位置しており、樹脂封止部によって覆われている封止部形成面1gの長さ(Q)と比べて、 $Q \geq P$ の関係にある。

25 これは、各リード1aの封止部形成面1gにはリード切断時のワイヤ接合部への応力付与を防止するとともに各リードの水平方向に対しての引き抜き強度を増加させるための複数の凹部1mが形成されており、したがって、封止部形成面1gの長さ(Q)が長くなり、その結果、 $Q \geq P$ の関係となっている。

このような状況において顧客からの要求などにより、パッケージサイズを変え

ずにさらに大きな半導体チップを搭載しようとした際、被実装面 1 d の延在方向の長さ (P) は、パッケージサイズごとに E I A J 規格 (Standards of Electronic Industries Association of Japan) で定められているため、パッケージサイズを固定させて考えると長さ (P) を短くすることはできない。

- 5      したがって、パッケージサイズを変えずにさらに大きな半導体チップの搭載ができないことが問題となる。

本発明の目的は、搭載可能チップサイズの拡大化を図る半導体装置およびその製造方法を提供することにある。

- 10      本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 発明の開示

- すなわち、本発明は、半導体チップが搭載されたタブと、前記半導体チップを封止する封止部と、前記封止部の裏面の周縁部に露出する被実装面と、その反対  
15      側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長いものである。

- 20      また、本発明は、半導体チップを支持可能なタブと前記タブの周囲に配置された複数のリードとを有し、対向して配置された前記リード同士の封止部形成面の内側端部間の長さがその反対側の被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記  
25      タブに前記半導体チップを搭載する工程と、前記半導体チップの表面電極とこれに対応する前記リードとをワイヤによって接続する工程と、前記半導体チップおよび前記複数のワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、各リードを切断して前記リードフレームから分離する工程とを有するものである。

## 図面の簡単な説明

図1は本発明の実施の形態1の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造の一例を示す平面図、図2は図1に示すQFNの構造を示す断面図、図3は図1に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図、図4は図3に示すリードの拡大部分平面図、図5は図3に示すリードの拡大部分断面図、図6は図4に示すリードのA-A線に沿った断面図、図7は図1に示すQFNの組み立てで用いられるリードフレームの構造の一例を示す部分平面図、図8は本発明の実施の形態1の変形例の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造を示す平面図、図9は図8に示すQFNの構造を示す断面図、図10は図8に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図、図11は図10に示すリードの拡大部分平面図、図12は図11に示すリードの拡大部分断面図、図13は図8に示すQFNの組み立てにおけるワイヤボンディング時の半導体チップとキャピラリの間隔の一例を示す部分側面図、図14は本発明の実施の形態1のQFNに対する比較例のQFNの構造を示す断面図、図15は本発明の実施の形態2のQFNにおける封止用樹脂の流動状態の一例を示す平面図、図16は図15に示すQFNの構造を示す断面図、図17は本発明の実施の形態2の変形例の半導体装置（QFN）の構造を示す断面図、図18は図15に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図、図19は図18に示すリードの拡大部分平面図、図20は図18に示すリードの拡大部分断面図、図21は図19に示すリードのJ-J線に沿った断面図、図22は図19に示すリードのB-B線に沿った断面図、図23、図26、図29および図32は本発明の実施の形態2の変形例のリードの構造を示す拡大部分底面図、図24、図27、図30および図33はそれぞれのリードの拡大部分平面図、図25、図28、図31および図34はそれぞれのリードの拡大部分断面図、図35は図15に示すQFN（個片モールドタイプ）の組み立て手順の一例を示す製造プロセスフロー図、図36は図35に示す組み立てにおけるワイヤボンディング時の構造の一例を示す拡大部分断面図、図37は本発明の実施の形態

2の変形例（一括モールドタイプ）の組み立て手順を示す製造プロセスフロー図、図38は図37に示す組み立てにおける樹脂モルディング時の構造の一例を示す部分断面図と拡大部分断面図、図39は本発明の実施の形態3のQFNの構造の一例を封止部を透過して示す平面図、図40は図39に示すQFNの構造を示す断面図、図41は本発明の実施の形態3の変形例のQFNの構造を封止部を透過して示す平面図、図42は図41に示すQFNの構造を示す断面図、図43は図42に示すC部の構造を示す拡大部分断面図、図44は本発明の実施の形態4のQFNの構造の一例を封止部を透過して示す平面図、図45は図44に示すD-D線に沿って切断した構造を示す断面図、図46は図44に示すQFNの組み立てにおける樹脂モルディング後の構造の一例を封止部を透過して示す部分平面図、図47は図46に示すE-E線に沿って切断した構造を示す部分断面図、図48は本発明の実施の形態4の変形例のQFNの構造を封止部を透過して示す平面図、図49は図48に示すF-F線に沿って切断した構造を示す断面図、図50は本発明の実施の形態4の変形例のQFNの構造を封止部を透過して示す平面図、図51は図50に示すG-G線に沿って切断した構造を示す断面図、図52は本発明の実施の形態4のQFNの実装基板への実装構造における各リードの被実装面と基板の端子との関係の一例を示す拡大部分平面図、図53は図52に示す実装構造のリードにおける基板の端子との接続状態を示す拡大部分断面図、図54は本発明の実施の形態4のQFNの組み立て後の電気的特性検査時の状態の一例を封止部を透過して示す平面図、図55は図54に示すH-H線に沿って切断した構造を示す断面図、図56は本発明の実施の形態4のQFNの組み立て後の電気的特性検査時のソケット装着状態の一例を示す断面図、図57は図56に示すI部の構造を示す拡大部分断面図、図58は図56に示す電気的特性検査時のGND電位の供給状態の一例を示す部分平面図、図59は本発明の実施の形態5のQFNの構造の一例を封止部を透過して示す平面図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

以下の実施の形態においては便宜上その必要があるときは、複数のセクション

または実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

#### 10 (実施の形態 1)

図 1、図 2 に示す本実施の形態 1 の半導体装置は、図 7 に示すリードフレーム 1 を用いて組み立てられ、かつこのリードフレーム 1 の片方の面側に樹脂モールドディングによって封止部 3 が形成された片面モールドの樹脂封止型の小型半導体パッケージであり、さらに、封止部 3 の裏面 3 a の周縁部に複数のリード 1 a の被実装面 1 d を露出させて配置したペリフェラル形のものであり、前記半導体装置の一例として、QFN5 を取り上げて説明する。

したがって、QFN5 の各リード 1 a は、封止部 3 に埋め込まれたインナリードと、封止部 3 の裏面 3 a の周縁部に露出するアウトリードとの両者の機能を兼ねている。

20 なお、図 2 に示す QFN5 は、チップ搭載部であるタブ 1 b が、その裏面 1 l がハーフエッチングなどの加工で削られてリード 1 a の半分程度の厚さに形成されており、したがって、タブ 1 b の裏面 1 l 側にも封止用樹脂がまわり込んで樹脂モールドディングが行われたものである。つまり、QFN5 は、タブ 1 b が封止部 3 に埋め込まれたタブ埋め込み構造のものであるが、タブ 1 b の裏面 1 l が封止部 3 の裏面 3 a に露出するタブ露出構造であってもよい。

さらに、QFN5 は、タブ 1 b の大きさが半導体チップ 2 の大きさより小さい小タブ構造のものであるが、QFN5 は、小タブ構造に限らず、タブ 1 b の大きさが半導体チップ 2 と同等か、またはそれ以上であってもよい。

図 1、図 2 に示す QFN5 の構成について説明すると、半導体チップ 2 を支持

するチップ支持面 1 c を備え、かつこのチップ支持面 1 c に半導体チップ 2 が搭載されたタブ 1 b と、半導体チップ 2 が樹脂封止されて形成された封止部 3 と、タブ 1 b を支持するタブ吊りリード 1 e と、封止部 3 の裏面 3 a の周縁部に露出する被実装面 1 d とその反対側に配置されるとともに封止部 3 の側面 3 b に接触する封止部形成面 1 g とを有した複数のリード 1 a と、半導体チップ 2 の表面電極であるパッド 2 a とこれに対応するリード 1 a とを接続する複数のワイヤ 4 とからなり、複数のリード 1 a のうち、対向して配置されたリード 1 a 同士における封止部形成面 1 g の内側端部 1 h 間の長さ (M) が被実装面 1 d の内側端部 1 h 間の長さ (L) より長くなるように形成されている。

- 10 すなわち、図 2 に示すように、各リード 1 a が、それぞれ対向するリード 1 a 間で、長さ (M) > 長さ (L) となるように形成されている。

また、各リード 1 a において封止部形成面 1 g の長さ (Q) < 被実装面 1 d の長さ (P) となっている。

- 15 これにより、各リード 1 a の封止部形成面 1 g の内側端部 1 h によって囲まれて形成されるチップ搭載領域を拡大することができ、その結果、パッケージサイズを変えることなく搭載可能チップサイズの拡大化を図ることができる。

したがって、より大きな半導体チップ 2 を搭載することができる。

- ここで、図 2 に示す本実施の形態 1 の QFN 5 と、図 1 4 に示す比較例の QFN 型半導体装置とで、それぞれの搭載可能チップサイズの最大値を比較すると、  
20 まず、図 1 4 の比較例の QFN 型半導体装置では、対向して配置されたリード 1 a 同士の被実装面 1 d の内側端部 1 h 間の長さ (L) を 3 mm とすると、封止部形成面 1 g の内側端部 1 h 間の長さ (M) は 2.9 mm であり、ダイボンダの搭載精度を考慮すると、半導体チップ 2 の縁から 0.1 mm のマージンが必要であり、搭載可能チップサイズの最大値 (N) は、長さ (M) - 0.2 mm より 2.7 mm (2.7 mm × 2.7 mm のこと) となる。

これに対して、本実施の形態 1 の図 2 に示す QFN 5 の場合、パッケージサイズは同じとして、対向して配置されたリード 1 a 同士の被実装面 1 d の内側端部 1 h 間の長さ (L) を同じく 3 mm とすると、封止部形成面 1 g の内側端部 1 h 間の長さ (M) は 3.2 mm であり、その結果、搭載可能チップサイズの最大値 (



N) は、3.0mm (3.0mm×3.0mmのこと) となる。

したがって、パッケージサイズを同じとしても、本実施の形態1の図2に示すQFN5の方が、図14に示す比較例のQFN型半導体装置よりも大きな半導体チップ2を搭載できる。

- 5      また、図2に示す本実施の形態1のQFN5によれば、各リード1aの封止部形成面1gの内側端部1hによって囲まれて形成されるチップ搭載領域を拡大することができるため、ダイボンディングの際のボンディング精度を緩和することができる。

- 10      さらに、リード1aの封止部形成面1g側の内側端部1hが被実装面1d側の内側端部1hより半導体チップ2から逃げる方向に位置されているため、大きな半導体チップ2を搭載している場合に、レジン注入圧力によってチップ上下動が起こった際にもリード1aと半導体チップ2との接触を防ぐことができ、チップ損傷を低減できる。

- 15      なお、図2に示すQFN5では、図4、図5に示すように、各リード1aにおいてボンディングポイント1fより外側で、かつモールドライン1kより内側の領域に1つの凹部1mが形成されている。

- 20      この凹部1mは、リード切断工程でリード切断時にそのストレスがリード1aに付与された際に、ストレスを受ける箇所であり、凹部1mが形成されていることによってワイヤ接合部にストレスが付与されるのを防ぐことができ、リード1a切断時のワイヤ4の断線を防ぐことができる。

さらに、凹部1mが形成されていることにより、リード1aのパッケージ水平方向に対しての引き抜き強度を向上できる。

- 25      また、図2に示すQFN5では、図3、図4および図6に示すように封止部形成面1gの少なくとも一部の幅が被実装面1dの幅より広く形成されている。つまり、図6に示すように、下側に配置される被実装面1dの幅より上側の封止部形成面1gの幅が広く形成され、リード厚み方向に対して逆台形形状を有している。

これにより、リード1aのパッケージ垂直方向に対しての引き抜き強度を向上できる。

また、図2に示すように、半導体チップ2は、タブ1bのチップ支持面1c上にダイボンド材（例えば、銀ペーストなど）によって固定されている。

さらに、QFN5の封止部3の裏面3aの周縁部に並んで配置された外部端子であるリード1aの被実装面1dには、厚さ10 $\mu$ m程度の半田メッキ層6が形成されている。

また、タブ1b、タブ吊りリード1eおよび各リード1aは、例えば、銅などの薄板材によって形成され、その厚さは、0.15~0.2mm程度である。

さらに、半導体チップ2のパッド2aとこれに対応するリード1aとを接続するワイヤ4は、例えば、金線などである。

また、封止部3は、モールド方法による樹脂封止によって形成され、その際用いられる封止用樹脂は、例えば、熱硬化性のエポキシ樹脂などである。

次に、本実施の形態1によるQFN5（半導体装置）の製造方法について説明する。

まず、半導体チップ2を支持可能なタブ1bと、タブ1bを支持するタブ吊りリード1eと、タブ1bの周囲に配置された複数のリード1aとを有し、かつ対向して配置されたリード1a同士の封止部形成面1gの内側端部1h間の長さが、被実装面1dの内側端部1h間の長さより長く形成された図7に示すリードフレーム1を準備する。

すなわち、図2に示すように、各リード1aがそれぞれ封止部形成面1gの長さ（Q）<被実装面1dの長さ（P）となったリードフレーム1を準備する。

また、リードフレーム1には、図7に示すようにタブ1bおよびその周囲のリード1aを区画する切断部1jが形成されている。なお、図7に示す点線部は、モールド後のモールドライン1kである。

さらに、リードフレーム1は、1枚のリードフレーム1から複数個のQFN5を製造することが可能な短冊状の細長い多連のものであり、さらに、1枚のリードフレーム1上でマトリクス配列でQFN5を製造可能とし、したがって、1枚のリードフレーム1には、1個のQFN5に対応したパッケージ領域がマトリクス配列で複数個形成されている。

また、リードフレーム1は、例えば、銅（Cu）などによって形成された薄

板材であり、その厚さは、例えば、0.15～0.2mm程度であるが、前記材料や前記厚さなどは、これらに限定されるものではない。

その後、主面2bに半導体集積回路が形成された半導体チップ2を準備し、複数のリード1aそれぞれの封止部形成面1gの内側端部1hによって囲まれた領

5 域内のタブ1b上に半導体チップ2を配置する。

その後、この半導体チップ2の裏面2cとタブ1bのチップ支持面1cとを接合するダイボンディング（ペレットボンディングまたはチップマウントともいう）を行う。

すなわち、リードフレーム1のタブ1bのチップ支持面1cに半導体チップ2  
10 を搭載する。

その際、リードフレーム1のタブ1bにダイボンド材（例えば、銀ペーストなど）を介して主面2bを上方に向けて半導体チップ2を固定する。

続いて、図2に示すように、半導体チップ2のパッド2aとこれに対応する図4に示すリード1aの封止部形成面1gのボンディングポイント1f付近とをボンディング用のワイヤ4によってワイヤボンディングして接続する。  
15

その後、樹脂モールドイング（ここでは、トランスファーモールドイング）によって半導体チップ2および複数のワイヤ4を樹脂封止してリードフレーム1の封止部形成面1g側に封止部3を形成する（片面モールドを行う）。

その際、封止部3の裏面3aの周縁部に複数のリード1aの被実装面1dが露  
20 出して並ぶように樹脂モールドイングを行う。

ここでは、成形金型8（図35参照）のキャビティ8cとQFN5とが1対1に対応した個片モールドタイプの前記成形金型8を用いて樹脂モールドイングを行う。

これによって、リードフレーム1上に複数の封止部3がマトリクス配置で形成  
25 される。

その後、封止部3から突出する各リード1aおよびタブ吊りリード1eをリードフレーム1から切断分離するリード切断（個片化）を行う。

ここでは、リードフレーム1の切断部1jに沿って各リード1aを切断し、図2に示すQFN5を取得する。

次に本実施の形態 1 の変形例の QFN 5 について説明する。

図 8、図 9 は、変形例の QFN 5 を示すものであり、また、図 10～図 12 は、変形例の QFN 5 の各リード 1 a の形状を示すものである。

すなわち、図 8、図 9 に示す QFN 5 は、図 2 に示す QFN 5 とほぼ同じ構造  
5 であるが、相違点は、各リード 1 a の封止部形成面 1 g の形状であり、各リード 1 a の封止部形成面 1 g の内側端部 1 h に図 12 に示すような切り欠き部 1 i が形成されている。

つまり、各リード 1 a の封止部形成面 1 g の内側コーナ部に封止部形成面 1 g より下がった段差部を有する切り欠き部 1 i が設けられている。

10 この切り欠き部 1 i を設けたことにより、対向して配置されたリード 1 a 同士の封止部形成面 1 g の内側端部 1 h 間の長さ (M) が、被実装面 1 d の内側端部 1 h 間の長さ (L) より長く形成されており、図 2 に示す QFN 5 と同様に、各リード 1 a が、封止部形成面 1 g の長さ (Q) < 被実装面 1 d の長さ (P) となっている。

15 なお、図 9 に示す変形例の QFN 5 では、各リード 1 a において封止部形成面 1 g から一段下がった切り欠き部 1 i にワイヤ 4 を接続している。

したがって、図 13 に示すように、ワイヤボンディング時にリード 1 a の切り欠き部 1 i にボンディングツールであるキャピラリ 7 が入り込めるように、半導体チップ 2 の端部とキャピラリ 7 との間隔 (Q) を見極めて搭載可能チップサイ  
20 ズを設定する必要がある。

例えば、図 2 に示す QFN 5 とパッケージサイズを同じとして、かつ前記間隔 (Q) を見極めて (例えば、 $Q = 0.05 \text{ mm}$  程度として) 搭載可能チップサイズを算出する。まず、図 9 に示すように、対向して配置されたリード 1 a 同士の被実装面 1 d の内側端部 1 h 間の長さ (L) を同じく  $3 \text{ mm}$  とすると、封止部形成  
25 面 1 g の内側端部 1 h 間の長さ (M) は  $3.84$  であり、ダイボンダの搭載精度とワイヤボンダのボンダビリティを考慮すると、例えば、半導体チップ 2 の縁から  $0.32 \text{ mm}$  のマージンが必要であり、搭載可能チップサイズの最大値 (N) は、長さ (M)  $-0.64$  より  $3.2 \text{ mm}$  ( $3.2 \text{ mm} \times 3.2 \text{ mm}$  のこと) となる。

この場合、リード 1 a の封止部形成面 1 g の内側端部 1 h に切り欠き部 1 i が

形成されているため、図2のQFN5と比較してもさらに大きな半導体チップ2を搭載することが可能になる。

なお、図9に示す変形例のQFN5のその他の構造および組み立て方法ならびにその他の作用効果については、図2に示すQFN5のものと同様であるため、

5 その重複説明は省略する。

(実施の形態2)

本実施の形態2は、実施の形態1で説明したQFN5とほぼ同様の構造のQFN9について説明するものである。

図15は、図16に示すタブ1bが半導体チップ2の主面2bより小さく形成された小タブ構造で、かつタブ1bの裏面11側に封止部3の一部が配置されたタブ埋め込み構造のQFN9において、このQFN9の組み立てにおける樹脂モールドイング時のレジン（封止用樹脂）の流動状態を示したものである。すなわち、チップサイズが大きくなると、半導体チップ2の裏面2c側においてタブ1bの側面とリード1aとの間の領域に封止用樹脂が回り込みにくくなるが、本実施の形態2のQFN9は、図16に示すようにタブ1bの裏面11をハーフエッチングなどで薄く加工して、樹脂モールドイング時にタブ1bの裏面11側にも封止用樹脂を周り込ませるものである。

これによって、タブ1bの裏面11側で図15に示すようなレジン流動方向10に沿って封止用樹脂が流れ、その結果、チップ裏面におけるタブ1bの側面とリード1aとの間の領域に封止用樹脂を回り込ませることができ、前記領域におけるボイドの発生を防ぐことができる。

なお、タブ1bの裏面11を薄くする加工方法としては、コイニング加工を採用してもよい。また、図15および図16に示すQFN9では、タブ上げ加工は施されていないため、タブ1bのチップ搭載側の面であるチップ支持面1cと、各リード1aの封止部形成面1gとは同じ高さに配置されている。

次に、図17に示す変形例のQFN9は、タブ上げ加工が施されたタブ埋め込み構造のものであり、タブ1bのチップ支持面1cが、リード1aの封止部形成面1gよりチップ主面側の方向に遠ざかった位置に配置されている。この場合も、図15に示すQFN9と同様にタブ1bの裏面11側においてレジン流動方向

10 に沿って封止用樹脂が流れるため、チップ裏面におけるタブ1 bの側面とリード1 aとの間の領域に封止用樹脂を回り込ませることができ、前記領域におけるボイドの発生を防ぐことができる。

したがって、チップ端部がリード1 aに近づいているような大きなサイズの半  
5 導体チップ2を搭載したQFN9では、タブ1 bを薄くすることやタブ上げ加工を施すことが、チップ裏面でのタブ1 bの側面に形成されるボイドの低減化に有効である。

次に、本実施の形態2のQFN9のリード形状について説明する。

図18～図20に示すリード1 aは、実施の形態1のQFN5のリード1 aと同様の形状であり、封止部形成面1 gのワイヤ接合箇所に相当するボンディング  
10 ポイント1 fより外側に1つの窪みである凹部1 mが形成されている。この凹部1 mは、樹脂モールドイング後のリード切断時にリード1 aのワイヤ接合箇所にかかる応力を緩和する応力緩和手段であり、前記応力をワイヤ接合箇所の外側の凹部1 mに集中させて凹部1 mより内側のワイヤ接合箇所には応力がかからない  
15 ようにし、これにより、ワイヤ剥がれやワイヤ切断を防ぐことができる。

なお、1つのリード1 aの封止部形成面1 gにおいて凹部1 mは1つ形成されていることが好ましい。すなわち、封止部形成面1 gのボンディングポイント1 fの周囲はボンディングエリアとして確保しなければならず、ボンディングエリアを除いて凹部1 mを複数形成しようとするるとそれぞれの凹部1 mを十分深く形成  
20 するのが難しくなる。凹部1 mは、その深さが浅くなると封止用樹脂と凹部1 mの接合力が弱まり、応力緩和の作用も小さくなる。

また、凹部1 mを深く形成しようとするると、加工上、凹部1 mの幅をある程度確保しなければならず、封止部形成面1 gのボンディングエリア以外の領域で凹部2個分の領域を確保するのは非常に困難となる。

25 さらに、QFN9のワイヤボンディングでは、図36に示すように、半導体チップ側に1 s tボンディングを行い、リード側に2 n dボンディングを行っており、その際、2 n dボンディングは、1 s tボンディングのように、金線（ワイヤ4）のボールを押し付けて接続する方法とは異なり、ワイヤ4を潰して切ってリード1 aに接続するため、1 s tボンディングの領域よりは広い面積の領域が

必要になる。

したがって、応力緩和の効果を十分に得るためには、1つのリード1 aで1つの凹部1 mを形成することが好ましい。

次に、QFN9のリード1 aでは、封止部形成面1 gに、リード1 aの延在方向に直角な方向に対して封止部形成面1 gの幅より小さな幅の凹部1 mが形成されている。つまり、凹部1 mはリード1 aの両側面まで至らず、封止部形成面1 g内で終端しており、図19に示すように凹部1 mのリード1 aの幅方向の両端部には端部肉部1 nが形成されている。

凹部1 mのリード幅方向の両端に端部肉部1 nが形成されていることにより、  
10 リード1 aの強度を確保して樹脂モールドイング時のリード1 aの変形を防止することができる。

すなわち、QFN9の組み立ての樹脂モールドイング工程で、図38に示すようにフィルム11を用いた樹脂モールドイングを採用する際には、各リード1 aの被実装面1 dに封止用樹脂が回り込まないように、リード下にフィルム11を  
15 配置して成形金型8のクランプによってフィルム11に各リード1 aを潜り込ませて、この状態で樹脂モールドイングを行う。

その際、各リード1 aの強度が弱いと、成形金型8のクランプ時の反力によってリード1 aが変形してしまうという不具合が発生するが、図19に示すリード形状のように、凹部1 mのリード幅方向の両端に端部肉部1 nが形成されている  
20 ことにより、リード1 aの強度を確保して樹脂モールドイング時のリード1 aの変形を防ぐことができる。

また、QFN9のリード1 aは、図19に示すように、チップ側に配置されるワイヤ接合部1 qと、封止部3の側面3 bの内側と外側とに跨がる基端部1 pとを有しており、ワイヤ接合部1 qにおける封止部形成面1 gの幅は、基端部1 p  
25 における封止部形成面1 gの幅より広く形成されている。

すなわち、リード1 aにおいては、外側寄りの基端部1 pとこれより内側のワイヤ接合部1 qとで、その封止部形成面1 gの幅が異なっており、内側のワイヤ接合部1 qの封止部形成面1 gの方が幅が広い。つまり、封止部形成面1 gの幅広の部分はリード1 aのチップ側端部から外側に向かって延在しているが、封止

部 3 の側面 3 b の手前で終端しており、そこから基端部 1 p となって封止部形成面 1 g の幅が狭くなっている。

これにより、リード 1 a のその延在方向の引き抜き強度を高めることができ、リード 1 a の封止部 3 からの脱落を防止することができる。

- 5      また、ワイヤ接合部 1 q では、封止部形成面 1 g の方がその反対側の被実装面 1 d より幅広に形成されており、ワイヤ接合部 1 q におけるリード 1 a の幅方向の断面形状は、図 2 1 に示すように、下底より上底の長さが長い逆向きの略台形状を成している。

- 10      これにより、リード 1 a のパッケージ厚さ方向に対する引き抜き強度を高めることができる。

また、本実施の形態 2 の QFN9 のリード 1 a は、そのリードパターンの加工において、エッチング加工を採用しており、エッチング加工の際にはリード 1 a の表裏面の両側からエッチング液を塗布するため、表裏両面側からリード 1 a を削ることになる。

- 15      したがって、図 2 1 および図 2 2 に示す各リードの断面形状において、各リード 1 a の厚さ方向の中央付近に湾曲結合部 1 r が形成されており、この湾曲結合部 1 r によってリード 1 a の強度の向上と引き抜き強度の向上を図ることができる。

- 20      なお、リードパターンの加工は、エッチング加工に限らず、プレス加工を採用してもよい。

次に、本実施の形態 2 の図 2 3 ～図 3 4 に示す種々の変形例のリード形状について説明する。

- 25      図 2 3 ～図 2 5 に示すリード 1 a は、外形的には、図 1 8 ～図 2 0 に示すリード 1 a と同じであり、図 2 5 に示すように、リード 1 a の延在方向の封止部形成面 1 g と被実装面 1 d とにおいてそれぞれのモールドライン 1 k からチップ側端部までの長さが、長さ (R) < 長さ (P) となっており、さらに、ワイヤ接合部 1 q の封止部形成面 1 g に、図 1 9 に示すような凹部 1 m が形成されていないものであり、封止部形成面 1 g が平坦面のみとなっている。このリード形状は、樹脂モールドイング後のリード切断工程で、パンチによる切断ではなく、図 3 7 に



示すようなブレード12を用いたダイシング切断を採用した場合に有効な形状である。

- すなわち、ダイシング切断は、パンチ切断に比較してリード切断時にリード1aにかかる応力が小さいため、ワイヤ接合箇所を与えるダメージも小さく、したがって、応力緩和手段である凹部1mを設けなくても済む。

その結果、リード1aのワイヤ接合部1qの封止部形成面1gにおいてボンディング領域を広く確保することができ、2ndボンディングを打ち易くすることができる。

- なお、ダイシング切断を行う場合は、樹脂モールドイングが一括モールド、すなわち、図37に示すような複数のデバイス領域を成形金型8の1つのキャビティ8cで覆って樹脂モールドイングする場合である。

次に、図26～図28に示す変形例のリード形状は、各リード1aに対してそのワイヤ接合部1qの両側面にそれぞれ応力緩和手段として凹部1mを形成したものである。

- すなわち、リード1aのワイヤ接合部1qにおいて、封止部形成面1gの凹部1mと両側面の凹部1mとで合計3つの凹部1mが形成されており、リード1aのワイヤ接合部1qのボンディングポイント1fより外側領域の断面積を十分に小さくできるため、パンチによるリード切断の際のボンディング領域にかかる応力を十分に小さくしてリード切断時のワイヤ剥がれやワイヤ切断などの不具合の発生を防ぐことができる。

なお、応力緩和手段としては、各リード1aにおいて、そのボンディングポイント1fより外側箇所にリード1aの断面積を小さくするような形状を有していればよく、例えば、凹部1mやスリットまたは切り欠きなどである。

- 次に、図29～図31に示す変形例のリード形状は、封止部形成面1gを平坦面とし、かつ各リード1aに対してそのワイヤ接合部1qの両側面にそれぞれ応力緩和手段である凹部1mを形成したものである。

これにより、封止部形成面1gには凹部1mが形成されずに平坦面のみであるため、ボンディング領域を広く確保することができるとともに、リード切断時の応力は両側面に形成された凹部1mによって緩和することができる。

また、図3 2～図3 4に示す変形例のリード形状は、封止部形成面1 gを平坦面とし、かつ各リード1 aに対してそのワイヤ接合部1 qの両側面にそれぞれ応力緩和手段である凹部1 mを2つずつ形成したものである。

これにより、ボンディング領域を広く確保しつつ、リード切断時の応力をさらに緩和することができる。

次に、本実施の形態2の半導体装置の製造方法について説明する。

まず、図3 5を用いて個片モールドタイプのQFN9の組み立てについて説明する。

ステップS 1に示すように、半導体チップ2を支持可能なタブ1 bと、タブ1 bを支持するタブ吊りリード1 eと、タブ1 bの周囲に配置され、かつ被実装面1 dおよび封止部形成面1 gを有する複数のリード1 aとを有しており、さらに対向して配置されたリード1 a同士の封止部形成面1 gの内側端部1 h間の長さが、被実装面1 dの内側端部1 h間の長さより長く形成され、かつ各リード1 aに応力緩和手段である凹部1 mが設けられたリードフレーム1を準備する。

すなわち、図2に示すように各リード1 aがそれぞれ封止部形成面1 gの長さ(Q) < 被実装面1 dの長さ(P)となったリードフレーム1を準備する。

なお、リードフレーム1は、1枚のリードフレーム1から複数個のQFN9を製造することが可能な短冊状の細長い多連のものであり、さらに、1枚のリードフレーム1上でマトリクス配列でQFN9を製造可能とし、したがって、1枚のリードフレーム1には、1個のQFN9に対応したパッケージ領域がマトリクス配列で複数個形成されている。

その後、ステップS 2に示すダイボンディングを行う。

ここでは、主面2 bに半導体集積回路が形成された半導体チップ2を準備し、複数のリード1 aそれぞれの封止部形成面1 gの内側端部1 hによって囲まれた領域内のタブ1 b上に半導体チップ2を配置する。

その後、この半導体チップ2の裏面2 cとタブ1 bのチップ支持面1 cとを接合するダイボンディング（ペレットボンディングまたはチップマウントともいう）を行う。

すなわち、リードフレーム1のタブ1 bのチップ支持面1 cに半導体チップ2

を搭載する。

その際、リードフレーム 1 のタブ 1 b にダイボンド材（例えば、銀ペースト、ボンディングフィルム（接着テープ）など）を介して主面 2 b を上方に向けて半導体チップ 2 を固定する。

- 5      続いて、ステップ S 3 に示すワイヤボンディングを行う。

ここでは、半導体チップ 2 のパッド 2 a と、これに対応する図 1 9 に示すリード 1 a の凹部 1 m より内側領域の封止部形成面 1 g のボンディングポイント 1 f 付近とを金線などの導電性のワイヤ 4 によってワイヤボンディングして接続する。

- 10      その際、まず、半導体チップ 2 のパッド 2 a とワイヤ 4 とを接続する 1 s t ボンディングを行い、その後、ワイヤ 4 と、リード 1 a のワイヤ接合部 1 q の封止部形成面 1 g の凹部 1 m より内側のボンディングポイント 1 f 付近とを接続する 2 n d ボンディングを行う。

- 15      前記 2 n d ボンディングでは、図 3 6 に示すように、ワイヤ 4 を潰して切ってリード 1 a に接続するため、1 s t ボンディングの領域よりは広い面積のボンディング領域が必要になるが、本実施の形態 2 のリード 1 a の場合、リード 1 a の封止部形成面 1 g に凹部 1 m が 1 つしか形成されていないため、2 n d ボンディングの領域を確保し易く、2 n d ボンディングを容易に行うことができる。

- 20      その後、ステップ S 4 のトランスファーモールドリングを行う。ここでは、成形金型 8 のキャビティ 8 c と QFN 9 とが 1 対 1 に対応した個片モールドタイプの前記成形金型 8 を用いて樹脂モールドリングを行う。

- 25      その際、封止部 3 の裏面 3 a の周縁部に複数のリード 1 a の被実装面 1 d が露出して並ぶように樹脂モールドリングを行う。これによって、半導体チップ 2 および複数のワイヤ 4 を樹脂封止してリードフレーム 1 の封止部形成面 1 g 側に封止部 3 を形成する（片面モールドを行う）。

これによって、リードフレーム 1 上に複数の封止部 3 がマトリクス配置で形成される。

その後、ステップ S 5 の外装メッキを行って、リード 1 a の被実装面 1 d に半田メッキ層 6 を形成する。

その後、ステップS 6のマークを行ってQFN 9の封止部3などに所望のマークを付す。

その後、ステップS 7の切断を行ってQFN 9の個片化を行う。

5      その際、それぞれのリード1 aの応力緩和手段である凹部1 mより外側箇所を切断金型1 3で挟持し、この状態で封止部3から突出する各リード1 aをパンチによって切断してリードフレーム1から分離する（個片化する）。

10      切断時には、凹部1 mが形成されている箇所、すなわちリード1 aのワイヤ接合部1 qの断面積が最も小さい箇所に応力が集中する。その際、凹部1 mが2 n dボンディングのワイヤ接合箇所より外側に位置しているため、切断時の応力は凹部1 mに集中し、したがって、リード切断時のワイヤ剥がれやワイヤ切断などの不具合の発生を防ぐことができる。

これにより、リード切断を終了し、ステップS 8に示すQFN 9の製品完成となる。

15      次に、図3 7を用いて一括モールドタイプのQFN 9の組み立てについて説明する。

20      なお、複数のデバイス領域を成形金型8の1つのキャビティ8 cで覆って樹脂モールドイングを行う一括封止では、リード切断をダイシングによって行う。ダイシングによるリード切断では、切断時のリード1 aにかかる応力がパンチ切断よりは小さいため、リード1 aの形状としては、図2 4に示すような封止部形成面1 gが平坦面のみのものを採用することも可能であるが、ここでは、図1 9に示す封止部形成面1 gに1つの凹部1 mが形成されたリード1 aを採用する場合を説明する。

25      まず、ステップS 1 1に示すように、半導体チップ2を支持可能なタブ1 bと、タブ1 bを支持するタブ吊りリード1 eと、タブ1 bの周囲に配置され、かつ被実装面1 dおよび封止部形成面1 gを有する複数のリード1 aとを有しており、さらに対向して配置されたリード1 a同士の封止部形成面1 gの内側端部1 h間の長さが、被実装面1 dの内側端部1 h間の長さより長く形成され、かつ各リード1 aの封止部形成面1 gに、リード1 aの延在方向に直角な方向に対して封止部形成面1 gの幅より小さな幅の応力緩和手段である凹部1 mが設けられたり

ードフレーム 1 を準備する。

すなわち、図 2 に示すように、各リード 1 a がそれぞれ封止部形成面 1 g の長さ (Q) < 被実装面 1 d の長さ (P) となっており、さらに、各凹部 1 m のリード幅方向の両端には、図 1 9 に示す端部肉部 1 n が形成されたリードフレーム 1

5 を準備する。

なお、リードフレーム 1 は、1 枚のリードフレーム 1 から複数個の QFN 9 を製造することが可能な短冊状の細長い多連のものであり、さらに、1 枚のリードフレーム 1 上でマトリクス配列で QFN 9 を製造可能とし、したがって、1 枚のリードフレーム 1 には、1 個の QFN 9 に対応したパッケージ領域がマトリクス  
10 配列で複数個形成されている。

その後、ステップ S 1 2 に示すダイボンディングを行う。

ここでは、主面 2 b に半導体集積回路が形成された半導体チップ 2 を準備し、図 2 に示す複数のリード 1 a それぞれの封止部形成面 1 g の内側端部 1 h によって囲まれた領域内のタブ 1 b 上に半導体チップ 2 を配置する。

15 その後、この半導体チップ 2 の裏面 2 c とタブ 1 b のチップ支持面 1 c とを接合するダイボンディング（ペレットボンディングまたはチップマウントともいう）を行う。

すなわち、リードフレーム 1 のタブ 1 b のチップ支持面 1 c に半導体チップ 2 を搭載する。

20 その際、リードフレーム 1 のタブ 1 b にダイボンド材（例えば、銀ペーストなど）を介して主面 2 b を上方に向けて半導体チップ 2 を固定する。

続いて、ステップ S 1 3 に示すワイヤボンディングを行う。

ここでは、半導体チップ 2 のパッド 2 a と、これに対応する図 1 9 に示すリード 1 a の凹部 1 m より内側領域の封止部形成面 1 g のボンディングポイント 1 f 付近とを金線などの導電性のワイヤ 4 によってワイヤボンディングして接続する  
25 。

その際、まず、半導体チップ 2 のパッド 2 a とワイヤ 4 とを接続する 1 s t ボンディングを行い、その後、ワイヤ 4 と、リード 1 a のワイヤ接合部 1 q の封止部形成面 1 g の凹部 1 m より内側のボンディングポイント 1 f 付近とを接続する

2 n d ボンディングを行う。本実施の形態 2 のリード 1 a の場合、リード 1 a の封止部形成面 1 g に凹部 1 m が 1 つしか形成されていないため、2 n d ボンディングの領域を確保し易く、2 n d ボンディングを容易に行うことができる。

その後、ステップ S 1 4 のモールドを行う。ここでは、成形金型 8 の 1 つのキャビティ 8 c によって複数のデバイス領域を一括して覆って樹脂モールドを行う一括モールドを行う。

その際、各デバイス領域では、封止部 3 の裏面 3 a の周縁部に複数のリード 1 a の被実装面 1 d が露出して並ぶように樹脂モールドを行う。一括モールドの際には、まず、図 3 8 に示すように、成形金型 8 の下型 8 b の金型面上にフィルム 1 1 を配置して複数のデバイス領域を成形金型 8 の上型 8 a の 1 つのキャビティ 8 c で覆った状態で型締め（クランプ）を行う。この型締めによって、図 3 8 の部分拡大図に示すように、リード 1 a の被実装面 1 d をフィルム 1 1 に潜り込ませて樹脂成形を行う。これにより、裏面 3 a の周縁部に複数のリード 1 a の被実装面 1 d が露出して並ぶように一括封止部 1 4 を形成する。

15     なお、リード 1 a において凹部 1 m のリード幅方向の両端に図 1 9 に示す端部肉部 1 n が形成されていることにより、リード 1 a の強度を確保することができ、成形金型 8 のクランプ時の反力によってリード 1 a が変形してしまうという不具合の発生を防止できる。

20     モールド後、ステップ S 1 5 の外装メッキを行って、リード 1 a の被実装面 1 d に半田メッキ層 6 を形成する。

その後、ステップ S 1 6 のマークを行ってそれぞれの Q F N 9 の封止部 3 に相当する箇所に所望のマークを付す。

その後、ステップ S 1 7 の切断を行って Q F N 9 の個片化を行う。

25     その際、ここでは、ダイシングによって各リード 1 a および一括封止部 1 4 を切断してリードフレーム 1 から分離する。すなわち、ブレード 1 2 を用いて各リード 1 a および一括封止部 1 4 を切断し、これによって個片化する。

なお、ブレード 1 2 を用いたダイシングによる切断では、パンチ切断に比較してリード切断時にリード 1 a にかかる応力が小さいため、ワイヤ接合箇所に与えるダメージも小さく、ワイヤ剥がれやワイヤ切断などの不具合の発生を防ぐこと

ができる。

これにより、リード切断を終了し、ステップS 1 8に示すQ F N 9の製品完成となる。

(実施の形態 3)

5      本実施の形態 3 は、Q F N 構造の半導体装置において、放熱性を高める構造を説明するものである。すなわち、実施の形態 1 で説明した Q F N 5 は、対向して配置されたリード 1 a 同士における封止部形成面 1 g の内側端部 1 h 間の長さ (M) が被実装面 1 d の内側端部 1 h 間の長さ (L) より長くなるように形成され、したがって、長さ (M) > 長さ (L) であり、その結果、各リード 1 a の封止  
10   部形成面 1 g の内側端部 1 h によって囲まれるチップ搭載領域を拡大することができ、パッケージサイズを変えることなく搭載可能チップサイズの拡大化を図るものであるが、このような半導体装置において、本実施の形態 3 の Q F N 1 5 は、図 3 9 や図 4 1 に示すように、チップ端部が各リード 1 a に近づくぐらいに大きな半導体チップ 2 を搭載したものである。

15      この場合、半導体チップ 2 が大きくなるにつれてその放熱性も高める必要があるため、タブ 1 b を封止部 3 の裏面 3 a から露出させるとともに、半導体チップ 2 とほぼ同じ大きさまで大きくした構造である。

図 3 9、図 4 0 に示す Q F N 1 5 は、半導体チップ 2 より僅かに大きなタブ 1 b を採用して、このタブ 1 b を封止部 3 の裏面 3 a に露出させたものであり、  
20   その結果、Q F N 1 5 の放熱性を向上できる。

また、図 4 1、図 4 2 に示す Q F N 1 5 は、半導体チップ 2 より僅かに小さなタブ 1 b を採用した場合であり、このタブ 1 b を封止部 3 の裏面 3 a に露出させて Q F N 1 5 の放熱性を向上できる。

なお、図 4 3 の部分拡大図に示すように、半導体チップ 2 がタブ 1 b の外側に  
25   オーバーハングする構造の Q F N 1 5 の場合には、半導体チップ 2 のタブ 1 b の端部からの突出した長さ (オーバーハング長さ : R) を、リード 1 a の被実装面 1 d におけるリード延在方向の長さ (S) 以下とすることが望ましい。すなわち、 $(R) \leq (S)$  にすることが望ましい。

これにより、半導体チップ 2 のタブ 1 b の端部からの突出長さを抑えることが

でき、その結果、チップ端部とリード1 aの内側端部1 hとの間に隙間(T)を設けることができる。したがって、樹脂モールドイング時に、半導体チップ2の裏面2 c側におけるタブ1 bの側面にも封止用樹脂を回り込ませることができ、これにより、タブ1 bの側面にボイドが形成されることを防止できる。

5 (実施の形態4)

本実施の形態4は、QFN構造の半導体装置のさらに小型化を図る技術であり、主にGND電位などの固定電位の安定化を図った半導体装置である。ここでは、一例として、高周波で動作する回路が組み込まれた半導体チップ2を有するQFN16を取り上げて説明する。

- 10 すなわち、実施の形態1で説明した図2に示すQFN5は、対向して配置されたリード1 a同士における封止部形成面1 gの内側端部1 h間の長さ(M)が被実装面1 dの内側端部1 h間の長さ(L)より長くなるように形成され、その結果、各リード1 aの封止部形成面1 gの内側端部1 hによって囲まれるチップ搭載領域を拡大することができ、パッケージサイズを変えることなく搭載可能チップ
- 15 プサイズの拡大化を図るものであるが、このような半導体装置において、本実施の形態4のQFN16は、リード1 aに割り当てるGND端子などの共通端子を増やさずに、タブ吊りリード1 eの一部を共通端子用の外部端子として用いてGND電位などの固定電位の安定化を図るものである。

- したがって、タブ吊りリード1 eの一部をGND用の外部端子として用いることにより、従来リード1 aに割り当てていたGND用リードを空きリードにすることもでき、これにより、リード数を減らして半導体装置の小型化を図ることも可能である。
- 20

- 図44、図45に示すQFN16は、図2に示すQFN5と同様に、対向して配置されたリード1 a同士における封止部形成面1 gの内側端部1 h間の長さ(M)が被実装面1 dの内側端部1 h間の長さ(L)より長くなるように形成され、その結果、各リード1 aの封止部形成面1 gの内側端部1 hによって囲まれるチップ搭載領域を拡大することができるとともに、タブ吊りリード(吊りリード)1 eの被実装面1 nの反対側の面である上面1 qの前記被実装面1 nに対向する領域に、一端が半導体チップ2のパッド2 aに接続された導電性のワイヤ4の
- 25



他端が接続されているものである。

すなわち、半導体チップ2のGND用のパッド2aとタブ吊りリード1eとをワイヤ4で接続したものであり、4本のタブ吊りリード1eそれぞれがタブ1bに連結されているため、4本のタブ吊りリード1eをGND用の共通の外部端子として用いるものである。

その際、ワイヤ4のタブ吊りリード1eへの接続箇所は、タブ吊りリード1eの露出部1pの被実装面1nと対向する上面1qである。

すなわち、図45に示すように、タブ吊りリード1eの板厚方向において偏心が行われていない箇所（例えば、板厚の変更や曲げ加工などが行われていない箇所）にワイヤ4を接続している。図45に示すQFN16は、タブ1bおよびタブ吊りリード1eの一部がハーフエッチングされたものであり、タブ吊りリード1eの板厚が変わっていない露出部1pにワイヤ4が接続されている。

なお、タブ吊りリード1eへのワイヤボンディングは、ワイヤボンディング時の安定性を向上させるために、タブ吊りリード1eのなるべく外側にボンディングすることが好ましい。これは、ワイヤボンディング時のヒートブロックを確実に露出部1pに密着させるためであり、これにより、ワイヤボンディング時の熱や超音波をタブ吊りリード1eの露出部1pから確実に伝えてタブ吊りリード1eへのワイヤボンディングを安定させることができる。

さらに、半導体チップ2の大形化にも対応し易くなるため、したがって、タブ吊りリード1eへのワイヤボンディングは、タブ吊りリード1eのなるべく外側に行うことが好ましい。

また、QFN16のタブ吊りリード1eの露出部1pの上面1qには、そのワイヤ4の接続箇所より外側にスリットである凹部1rが形成されている。この凹部1rは、図46および図47に示す樹脂モールドイング後の構造においてリード切断を行う際に、タブ吊りリード1eの引きちぎりによる切断時のタブ吊りリード1eのワイヤ4の接続箇所にかかる応力を緩和するものである。

すなわち、タブ吊りリード1eの引きちぎりによる切断は、図47に示すタブ吊りリード1eの切り欠き部1uに回転の応力を掛けて引きちぎるようにして切断するものであり、その際、凹部1rに切断時のリード厚さ方向のストレスを集

中させてワイヤ4の接続箇所には切断ストレスが掛からないようにする。これにより、タブ吊りリード1 eの切断時のワイヤ剥がれの発生を防ぐことができる。

さらに、凹部1 rによって、タブ吊りリード1 e上のリークパスを長くすることができ、タブ吊りリード1 eに沿って浸入する水を低減することができる。

- 5      また、タブ吊りリード1 eの露出部1 pのワイヤ4が接続する箇所より外側の両側面には、突起部1 sが設けられている。この突起部1 sは、凹部1 rと同様にタブ吊りリード1 eの引きちぎりによる切断時のタブ吊りリード1 eのワイヤ4の接続箇所にかかる応力を緩和するものであるが、タブ吊りリード1 eの切断時のリード水平方向のストレスを緩和させるものである。すなわち、タブ吊りリード1 eの切断時にこの突起部1 sがリード水平方向の切断ストレスを受けて、ワイヤ4の接続箇所には切断ストレスが掛からないようにするものである。

さらに、この突起部1 sによってもタブ吊りリード1 e上のリークパスを長くすることができ、タブ吊りリード1 eに沿って浸入する水を低減することができる。

- 15      また、図5 0および図5 1の変形例のQFN1 6に示すように、タブ吊りリード1 eの露出部1 pの上面1 qのワイヤ4の接続箇所の内側に、さらにもう1つの凹部1 tを形成してもよい。このワイヤ4の接続箇所より内側に形成された凹部1 tは、QFN1 6を実装基板1 7（図5 3参照）に実装した状態での信頼性テスト（温度サイクルテスト）時の熱応力を吸収するものであり、信頼性テスト時に熱応力がワイヤ4の接続箇所に掛かるのを防ぐことができる。

なお、本実施の形態4のQFN1 6は、タブ吊りリード1 eをGND用の外部端子として使用する際に、リード1 aの本数を減らさないように、封止部3の裏面3 aの4つの角部の面取り部3 cにタブ吊りリード1 eの露出部1 pの被実装面1 nを配置している。

- 25      すなわち、元々QFN構造の半導体装置では、タブ吊りリード1 eは封止部3の角部に配置されているため、これを利用して封止部3の角部にタブ吊りリード1 eの露出部1 pの被実装面1 nを配置し、この被実装面1 nをGND用の外部端子とすることにより、リード1 aの本数を減らさずに済む。言い換えると、タブ吊りリード1 eをGND用の外部端子として用いることにより、従来リード1

aに割り当てていたGND用リードを空きリードにすることもでき、リード数を減らして半導体装置の小型化を図ることも可能である。

これによって、QFN16の実装面積を低減することができる。

また、図48および図49に示す変形例のQFN16は、タブ1bの位置をリード1aより高くしたタブ上げ加工を施した構造のものであり、これによって、タブ1bが封止部3によって封止されたタブ埋め込み構造となる。なお、図44および図45に示すQFN16は、タブ1bの裏面1lがハーフエッチング加工されて薄く形成されたものであり、この場合にもタブ1bが封止部3によって封止されたタブ埋め込み構造となる。

このようにタブ埋め込み構造を採用することにより、タブ1bが封止部3の裏面3aに露出していないため、図53に示す実装基板17において、QFN実装時のタブ1bの下方に対応する領域にも配線を引き回すことができ、実装基板17における配線の引き回しの自由度を向上できる。

次に、図52および図53を用いて、QFN実装時の外部端子（リード1aおよびタブ吊りリード1e）と実装基板17の端子17aとの配置関係について説明する。

まず、図52に示すようにタブ吊りリード1eの露出部1pのリード延在方向の被実装面1nの長さ（U）は、タブ吊りリード1eの露出部1pの厚さより長いことが好ましい。一例としては、露出部1pの板厚（リードフレームの板厚）が0.2mmの場合、 $U=0.55\text{ mm}$ である。ただし、露出部1pの厚さや長さ（U）はこれらの数値に限定されるものではない。

このようにタブ吊りリード1eの露出部1pの長さ（U）を長くすることにより、実装基板17の端子17aとの接続面積が増えるため、QFN16の放熱性を向上できる。

ただし、タブ吊りリード1eの露出部1pの被実装面1nより内側領域において、隣接するリード1aとの最短距離部は封止部3によって封止されている。すなわち、放熱性を考慮した場合、露出部1pの被実装面1nは内側に長く延在されている方が好ましいが、図52に示すように、タブ吊りリード1eの両側には隣接するリード1aが配置されているため、半田リークに注意しなければならな

い。

したがって、タブ吊りリード1 eの被実装面1 nより内側領域における隣接するリード1 aとの最短距離部を封止部3によって封止しておくことにより、実装基板1 7への実装時の半田リークを防ぐことができる。

- 5      さらに、タブ吊りリード1 eに隣接するリード1 aと接続する実装基板1 7の端子1 7 aは、図5 3に示すようにその内側端部1 7 bがリード1 aの被実装面1 dの内側端部1 hと面一またはそれより外側に配置されることが好ましい。

- すなわち、実装基板1 7にQFN1 6を実装した際に、実装基板1 7の端子1 7 aの内側端部1 7 bが、これに対応するリード1 aの被実装面1 dの内側端部1 hと面一かそれよりも外側に逃げて配置されていることにより、実装基板1 7  
10      の端子1 7 aがタブ吊りリード1 eの露出部1 pに接触する程度に近づくことを防止でき、実装基板1 7への実装時の半田リークを防ぐことができる。

次に、本実施の形態4のQFN1 6の電気的特性検査について説明する。

- 図5 4および図5 5は、QFN1 6の電気的特性検査の方法について示した図  
15      であり、検査の際には、図5 6および図5 7に示すように、ソケット1 8の本体1 8 aの位置決め台1 8 cにQFN1 6を配置し、蓋部1 8 bを閉じてパッケージ押さえ1 8 dによってQFN1 6を押さえ付けてソケット1 8にQFN1 6を装着する。

- これにより、図5 5に示すようにコンタクトピン1 8 eとタブ吊りリード1 e  
20      の露出部1 pの被実装面1 nが接触して電気的特性検査を行うことができる。

- その際、図5 8に示すように、独立したGND用のリード1 aからGND電位をパッド2 aおよび高周波アンプ2 dを介して高周波のA回路に供給した状態で、加えて共通端子であるタブ吊りリード1 eの露出部1 pからパッド2 aおよび高周波アンプ2 dを介して高周波のA回路にGND電位を供給してテストを行う  
25      。

このように、GND電位を十分に供給してGND電位の安定化を図り、A回路の高周波特性を確保した条件でテストを行うことにより、半導体チップ2の高周波特性を改善できる。すなわち、高周波のA回路の特性を、製品として実際に使用される状況により近い状態でテストを行うことができる。

なお、ソケット 18 に QFN 16 を装着した際には、信号用のリード 1a それぞれに信号用のコンタクトピン 18e も接触しているため、必要に応じて所定のリード 1a を介して電気信号を入力して所望の電気的特性検査を行う。

(実施の形態 5)

- 5 図 59 は本実施の形態 5 の QFN 19 の構造を示しており、QFN 19 は、タブ吊りリード 1e へのワイヤ 4 の接続は行われているが、各リード 1a において、図 2 に示すような被実装面 1d の長さ (P) と封止部形成面 1g の長さ (Q) の関係が、 $P > Q$  ではなく、 $P = Q$  の場合である。

すなわち、被実装面 1d と封止部形成面 1g の長さが等しい構造を有している  
10 。

このような構造の QFN 19 においても、タブ吊りリード 1e にワイヤ 4 を接続する技術や、タブ吊りリード 1e に凹部 1r, 1t および突起部 1s を設ける技術によって、実施の形態 4 の QFN 16 と同様の効果を得ることができる。

- 以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。  
15

例えば、前記実施の形態 1 では、図 7 に示すようなパッケージ領域 (切断部 1j によって囲まれた領域) がマトリクス配列で複数個形成されたリードフレーム 1 を用いて QFN 5 を組み立てる場合を説明したが、半導体装置 (QFN 5) の  
20 組み立てとしては、前記パッケージ領域が 1 列に複数個並んで形成された短冊状の多連のリードフレーム 1 を用いて組み立ててもよい。

また、実施の形態 4 で説明したタブ吊りリード 1e に凹部 1r, 1t や突起部 1s を設けてワイヤ 4 の接続箇所に掛かる応力を緩和する技術については、QFN 構造の半導体装置に限らず、ノンリードタイプの半導体装置であれば、リード  
25 1a が対向する 2 方向に延在する半導体装置などであってもよい。

産業上の利用可能性

以上のように、本発明の半導体装置は、封止部の裏面の端部に各リードの一部が露出して配置されたノンリードタイプの半導体装置に好適であり、特に、4 方

向にリードが延在するQFNに好適である。

## 請 求 の 範 囲

1. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると

5 ともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の  
ワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが、前記被実装面の内側端部間の長さより長いことを特徴とする半導体装置

10 。

2. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると  
ともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

15 前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の  
ワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側  
端部に切り欠き部が形成されていることを特徴とする半導体装置。

20 3. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されると  
ともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

25 前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の  
ワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の  
長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の少な  
くとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。

4. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の

5 ワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側端部に切り欠き部が形成され、さらに前記封止部形成面の少なくとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。

10 5. 半導体チップを支持可能なタブと前記タブの周囲に配置された複数のリードとを有し、対向して配置された前記リード同士の封止部形成面の内側端部間の長さがその反対側の被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、

15 前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記リードとをワイヤによって接続する工程と、

20 前記半導体チップおよび前記ワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、

前記各リードを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

6. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

25 前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

それぞれの前記リードは、対向して配置された前記リード同士における前記封



止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長くなるように形成されており、それぞれ前記被実装面より幅広の前記封止部形成面を有していることを特徴とする半導体装置。

- 5 7. 請求の範囲第6項記載の半導体装置であって、前記リードは、チップ側に配置されるワイヤ接合部と、前記封止部の側面の内側と外側とに跨がる基端部とを有しており、前記ワイヤ接合部における前記封止部形成面の幅は、前記基端部における前記封止部形成面の幅より広いことを特徴とする半導体装置。

8. 請求の範囲第6項記載の半導体装置であって、前記リードの前記封止部形成面に凹部が形成されていることを特徴とする半導体装置。

- 10 9. 請求の範囲第8項記載の半導体装置であって、前記凹部は、前記封止部形成面におけるワイヤ接合箇所の外側に形成されていることを特徴とする半導体装置。

- 15 10. 請求の範囲第6項記載の半導体装置であって、前記リードの前記封止部形成面に、前記リードの延在方向に直角な方向に対して前記封止部形成面の幅より小さな幅の凹部が形成されていることを特徴とする半導体装置。

11. 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

- 20 前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長く形成され、

前記タブは前記半導体チップの主面より小さく形成され、

- 25 前記タブのチップ搭載側と反対側の面である裏面側に前記封止部の一部が配置されていることを特徴とする半導体装置。

12. 請求の範囲第11項記載の半導体装置であって、前記タブのチップ搭載側の面が前記リードの前記封止部形成面と同じ高さに配置されていることを特徴とする半導体装置。

1 3. 請求の範囲第 1 2 項記載の半導体装置であって、前記タブとこれを支持する吊りリードの一部とがハーフエッチング加工によって薄く形成されていることを特徴とする半導体装置。

1 4. 請求の範囲第 1 1 項記載の半導体装置であって、前記タブのチップ搭載側の面が、前記リードの前記封止部形成面より前記半導体チップの主面側の方向に遠ざかった位置に配置されていることを特徴とする半導体装置。

1 5. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長く形成され、

15 前記タブは前記半導体チップの主面より小さく形成されており、前記半導体チップの前記タブの端部からの突出した長さは、前記リードの前記被実装面におけるリード延在方向の長さ以下であることを特徴とする半導体装置。

1 6. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

20 前記封止部の裏面の端部に一部が露出する複数のリードと、

前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

25 前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

1 7. 請求の範囲第 1 6 項記載の半導体装置であって、前記吊りリードの前記被実装面の反対側の面に凹部が形成されていることを特徴とする半導体装置。

18. 請求の範囲第17項記載の半導体装置であって、前記吊りリードの前記凹部は、前記被実装面の反対側の面の前記ワイヤが接続する箇所より外側に形成されていることを特徴とする半導体装置。

5 19. 請求の範囲第18項記載の半導体装置であって、前記吊りリードの前記凹部は、前記被実装面の反対側の面の前記ワイヤが接続する箇所より内側に形成されていることを特徴とする半導体装置。

20. 請求の範囲第16項記載の半導体装置であって、前記吊りリードの前記ワイヤが接続する箇所の外側の両側面に突起部が設けられていることを特徴とする半導体装置。

10 21. 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、  
前記封止部の裏面の周縁部に一部が露出する複数のリードと、  
前記タブと連結し、前記封止部の裏面の面取り部に露出する被実装面を有した吊りリードと、

15 前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極のうちGND用電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

20 22. 請求の範囲第21項記載の半導体装置であって、前記タブは前記封止部によって封止されていることを特徴とする半導体装置。

23. 半導体チップが搭載されたタブと、  
前記半導体チップを封止する封止部と、  
前記封止部の裏面の周縁部に露出する被実装面を有した複数のリードと、

25 前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に

、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されており、

前記吊りリードの延在方向の前記被実装面の長さは、前記被実装面における前記吊りリードの厚さより長いことを特徴とする半導体装置。

- 5 24. 請求の範囲第23項記載の半導体装置であって、前記吊りリードの前記被実装面より内側領域において、隣接する前記リードとの最短距離部は前記封止部によって封止されていることを特徴とする半導体装置。

25. 請求の範囲第23項記載の半導体装置であって、前記半導体装置が実装基板に実装された際に前記半導体装置の前記吊りリードに隣接する前記リードと接続する前記実装基板の端子は、その内側端部が前記リードの前記被実装面の内側端部と面一またはそれより外側に配置されることを特徴とする半導体装置。
- 10

26. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

- 前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されて前記封止部の側面に接触する封止部形成面とを有した複数のリードと、
- 15

前記タブと連結し、前記封止部の裏面に露出する被実装面を有した吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤとを有し、

- 20 前記リードは、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが、前記リード同士の前記被実装面の内側端部間の長さより長くなるように形成されており、

前記吊りリードの前記被実装面の反対側の面の前記被実装面に対向する領域に、一端が前記半導体チップの表面電極に接続された導電性のワイヤの他端が接続されていることを特徴とする半導体装置。

25

27. 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面およびその反対側の平坦面のみからなる封止部形成面を有する複数のリードと、前記タブを支持する吊りリードとからなる複数のデバイス領域を有しており、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが前記

被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する

5 工程と、

前記半導体チップの表面電極とこれに対応する前記リードとを導電性のワイヤによって接続する工程と、

前記複数のデバイス領域を樹脂成形金型の1つのキャビティで覆った状態で樹脂成形を行って、裏面の周縁部に前記複数のリードの被実装面が露出して並ぶよ

10 うに一括封止部を形成する工程と、

それぞれの前記リードの前記封止部形成面と前記被実装面とを切断金型で挟持してダイシングによって各リードと前記一括封止部とを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

28. 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面  
15 およびその反対側の封止部形成面を有する複数のリードと、前記タブを支持する吊りリードとからなる複数のデバイス領域を有しており、対向して配置された前記リード同士の前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く形成され、前記リードの前記封止部形成面に、前記リードの延在方向に直角な方向に対して前記封止部形成面の幅より小さな幅の凹部が形成さ  
20 れたリードフレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記リードの前記封止部形成面  
25 の前記凹部より内側箇所とを導電性のワイヤによって接続する工程と、

樹脂成形金型の金型面上にフィルムを配置して前記複数のデバイス領域を樹脂成形金型の1つのキャビティで覆った状態で型締めを行い、前記型締めによって前記リードの前記被実装面を前記フィルムに潜り込ませて樹脂成形を行うことにより、裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように一括封

止部を形成する工程と、

ダイシングによって各リードと前記一括封止部とを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

29. 半導体チップが搭載されるタブと、前記タブの周囲に配置され、被実装面  
5 およびその反対側の封止部形成面を有する複数のリードと、前記タブを支持する  
吊りリードとを有しており、対向して配置された前記リード同士の前記封止部形  
成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く形成され、  
各リードに切断時の応力を緩和する応力緩和手段が設けられたリードフレームを  
準備する工程と、

- 10 前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領  
域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する  
工程と、

前記半導体チップの表面電極とこれに対応する前記リードの前記応力緩和手段  
より内側領域の前記封止部形成面とを導電性のワイヤによって接続する工程と、

- 15 前記半導体チップおよび前記ワイヤを樹脂封止して裏面の周縁部に前記複数の  
リードの被実装面が露出して並ぶように封止部を形成する工程と、

それぞれの前記リードの前記応力緩和手段より外側箇所を切断金型で挟持した  
状態でパンチによって各リードを切断して前記リードフレームから分離する工程  
とを有することを特徴とする半導体装置の製造方法。

- 20 30. 請求の範囲第29項記載の半導体装置の製造方法であって、前記応力緩和  
手段はスリット状の凹部であり、前記リードの前記封止部形成面に前記スリット  
状の凹部が形成されていることを特徴とする半導体装置の製造方法。

31. 請求の範囲第29項記載の半導体装置の製造方法であって、前記応力緩和  
手段は凹部であり、前記リードの両側面に前記凹部が形成されていることを特徴  
25 とする半導体装置の製造方法。

32. 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の端部に一部が露出する複数のリードと、

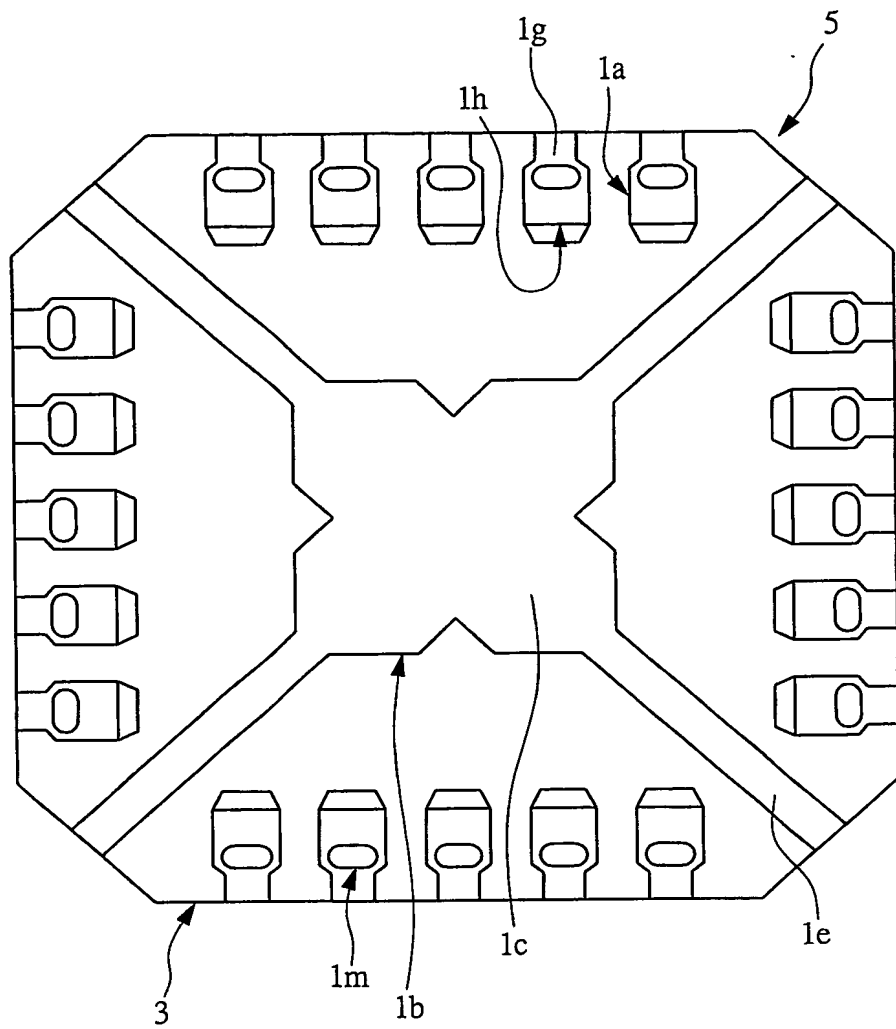
前記タブと連結し、前記封止部の裏面に一部が露出する吊りリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数の導電性のワイヤと、

前記半導体チップのGND用の表面電極と前記吊りリードとを接続する導電性のワイヤとを有した半導体装置の製造方法であって、

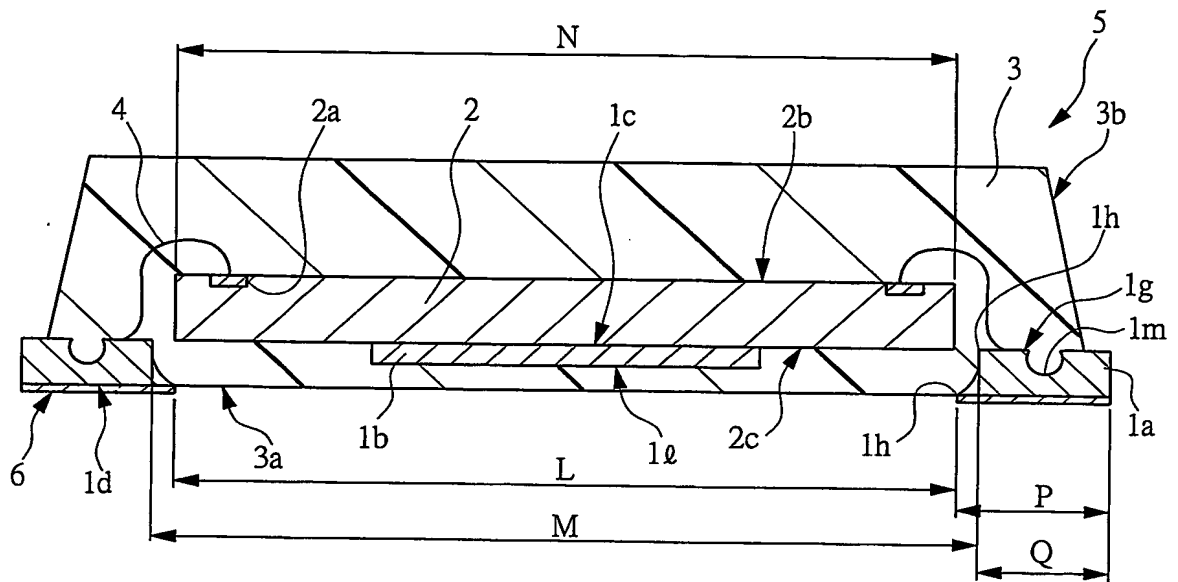
- 5 前記複数のリードのうちGND用のリードおよび前記吊りリードを介して前記半導体チップの所望の回路にGND電位を供給した状態で前記半導体装置をテストすることを特徴とする半導体装置の製造方法。

 1

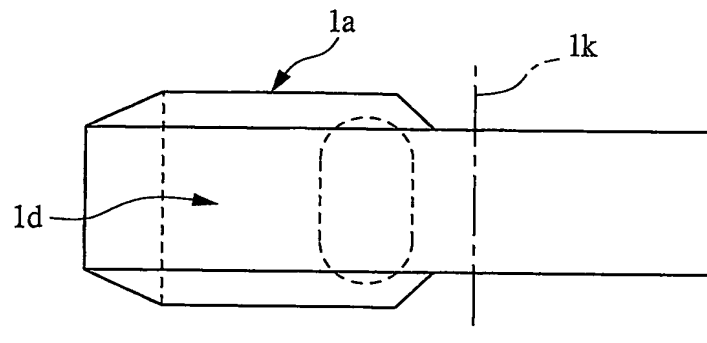




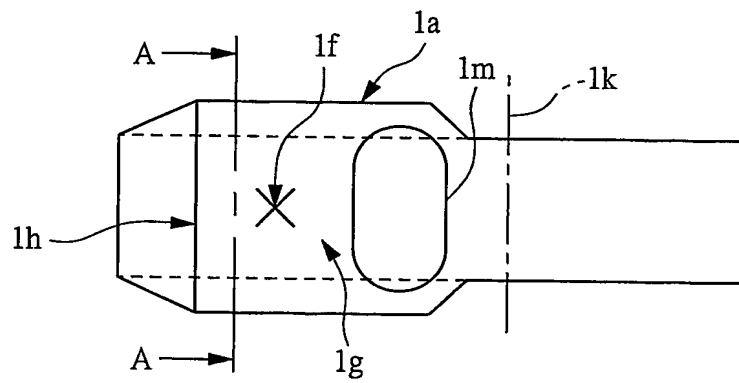
2



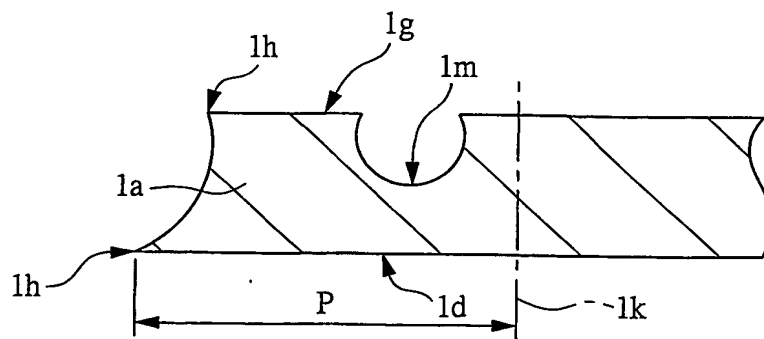
3



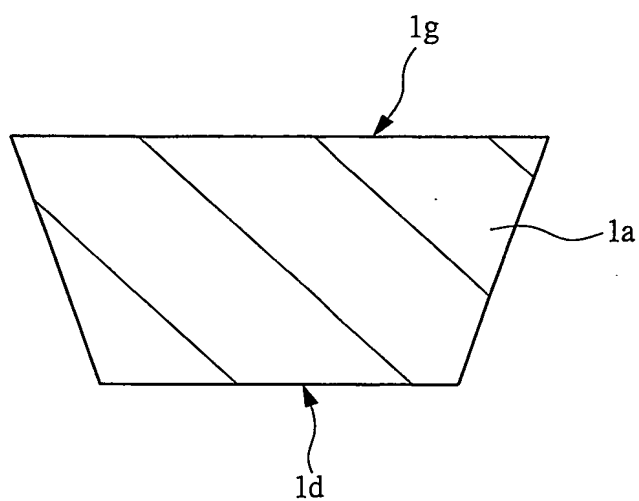
4



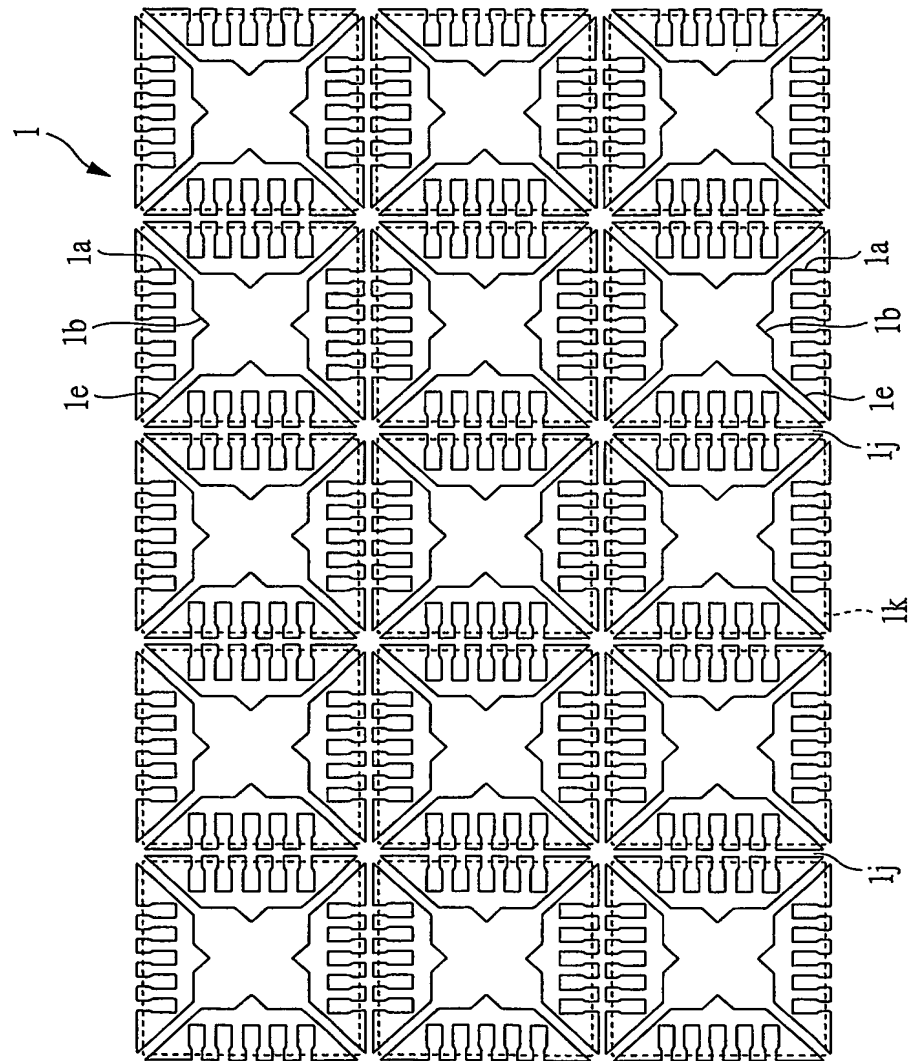
5



 6



7



8

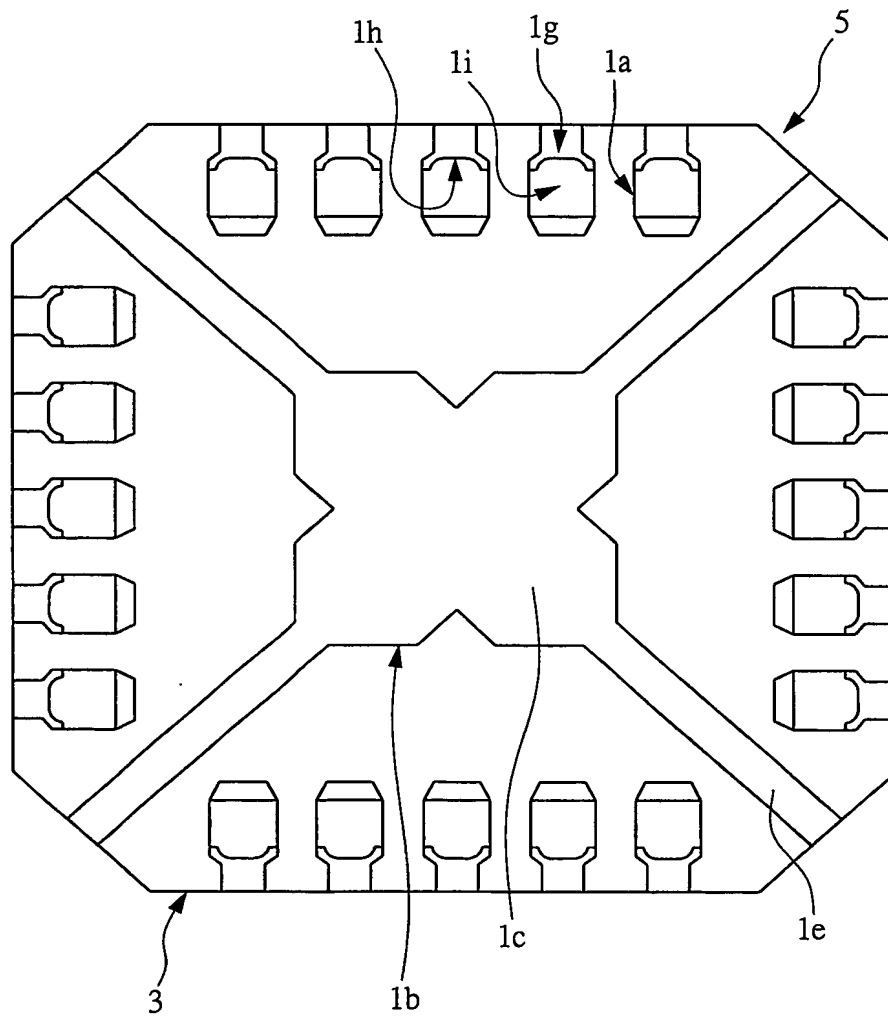


図 9

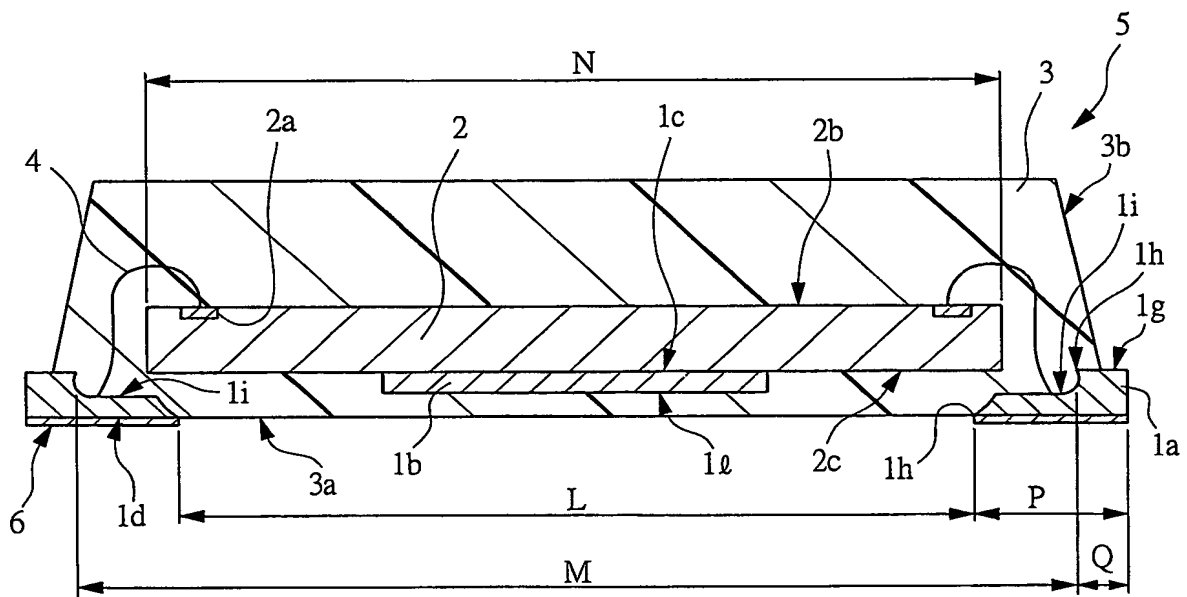


図 10

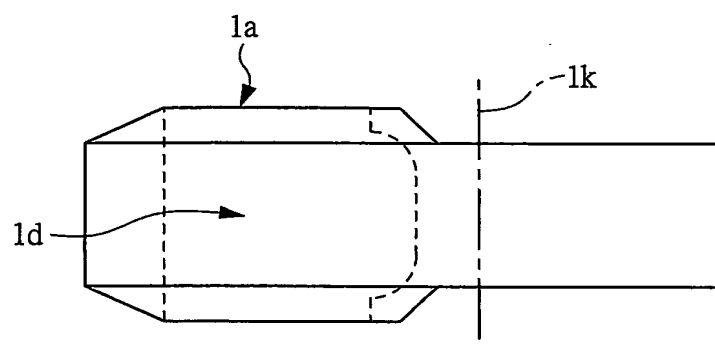


図 11

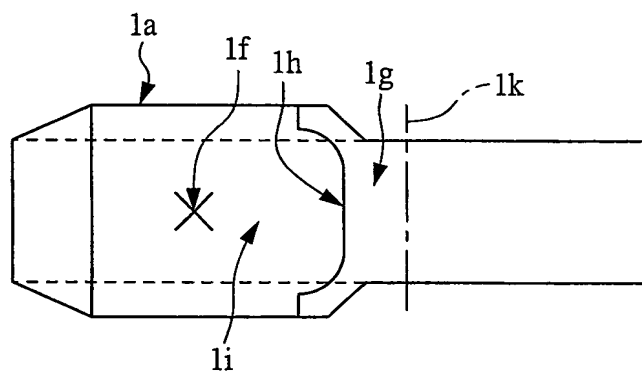


図 12

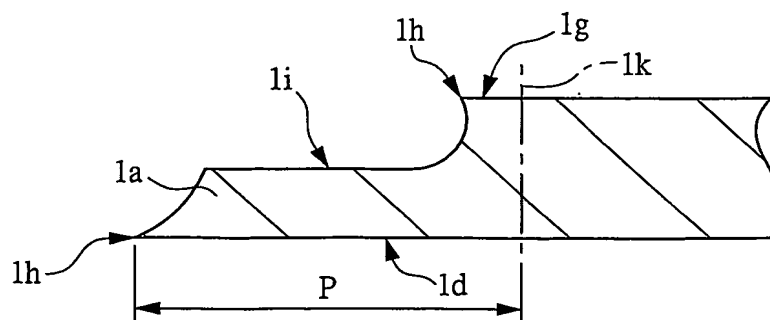
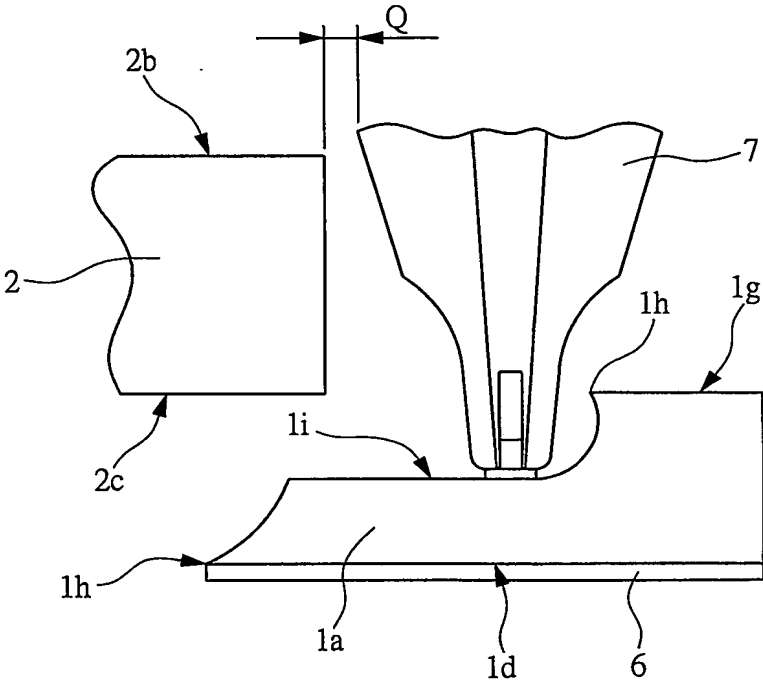
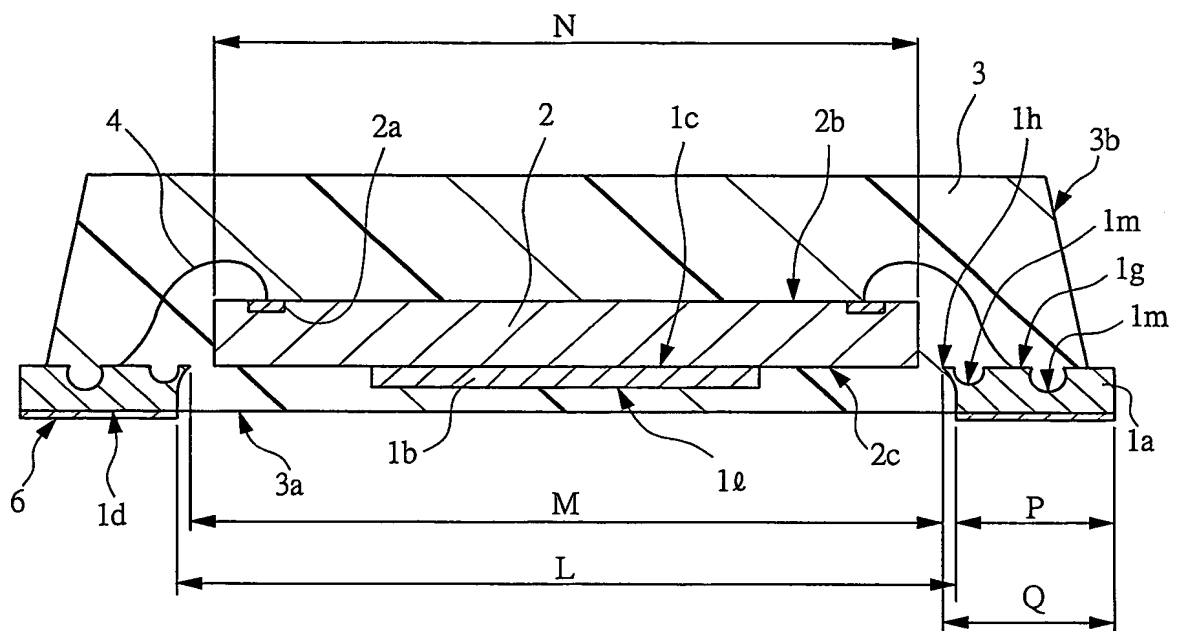


図 13



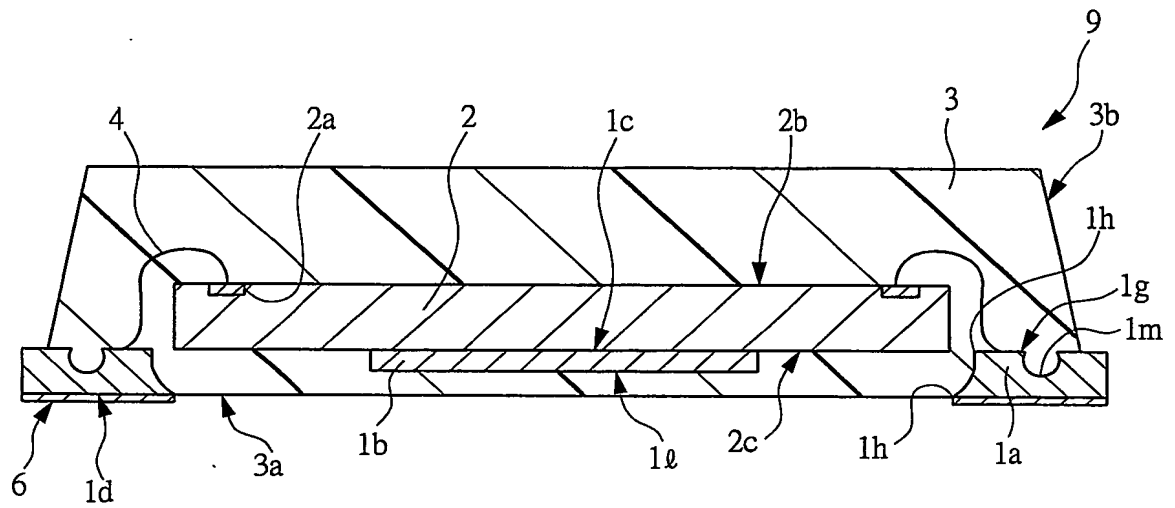


14





16



17

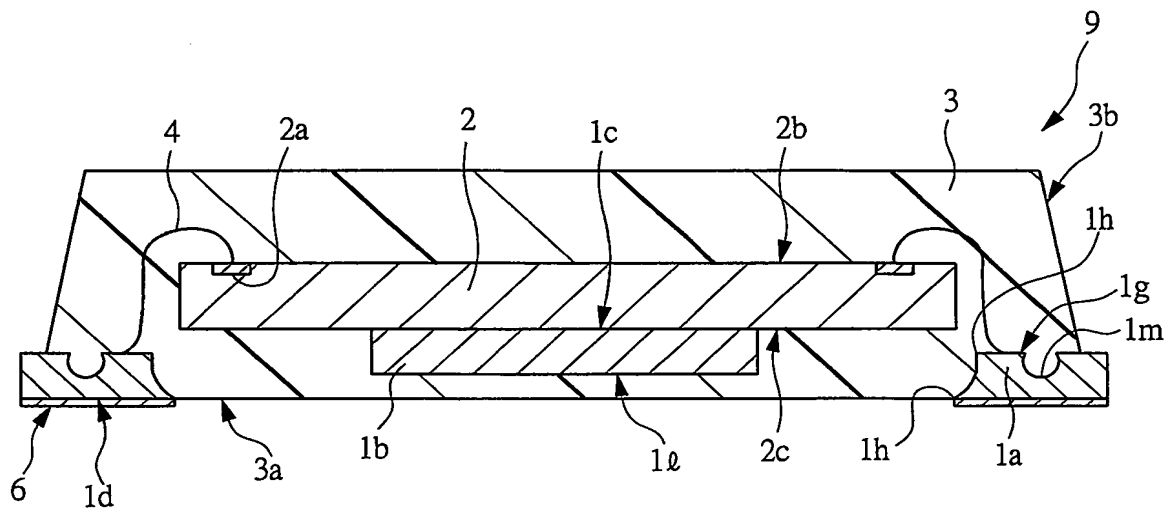


図 18

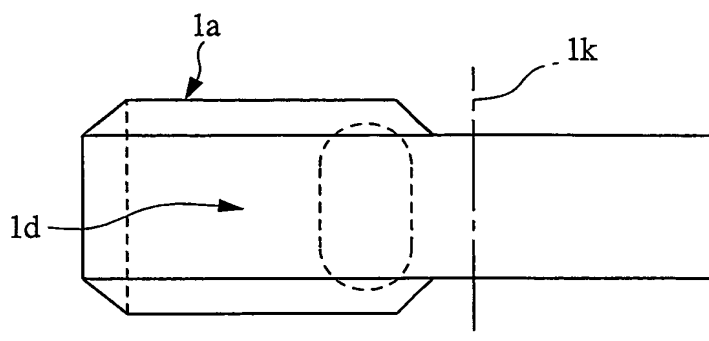


図 19

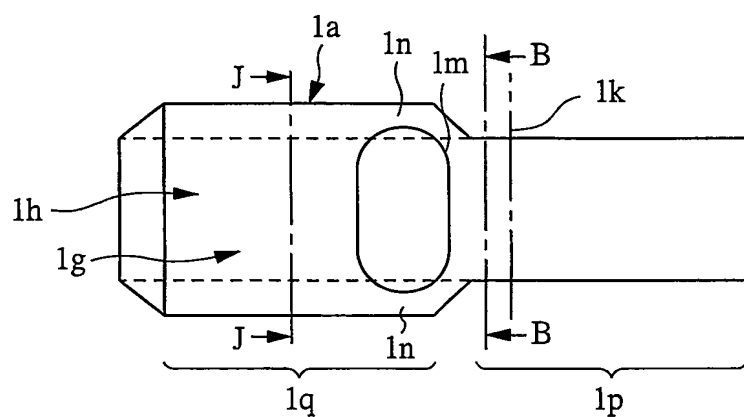
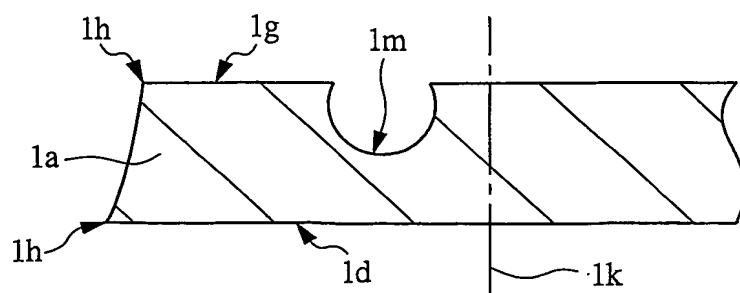
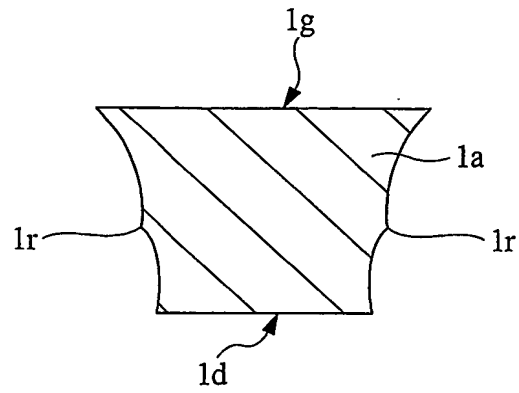


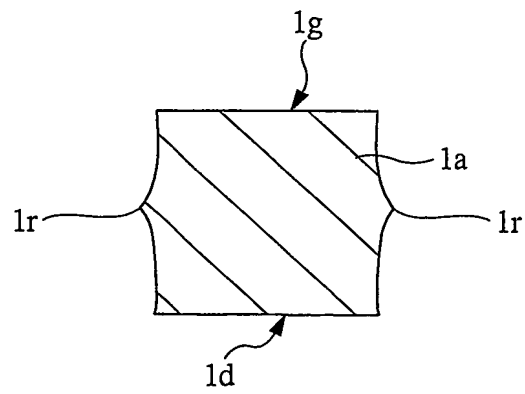
図 20



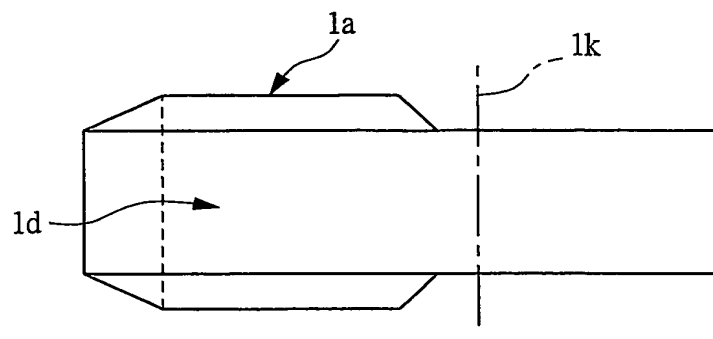
21



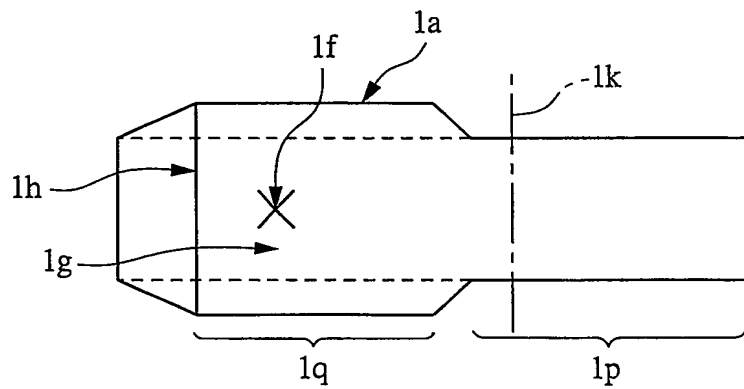
22



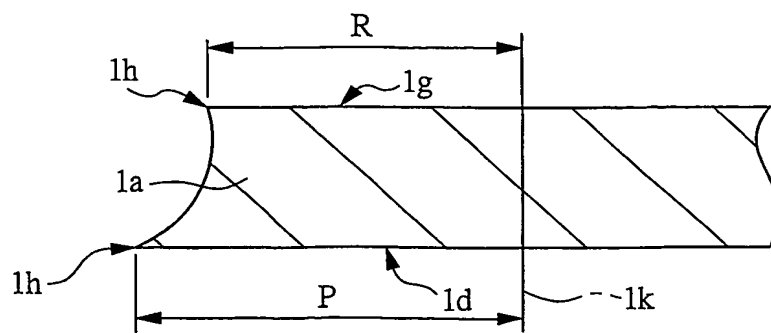
23



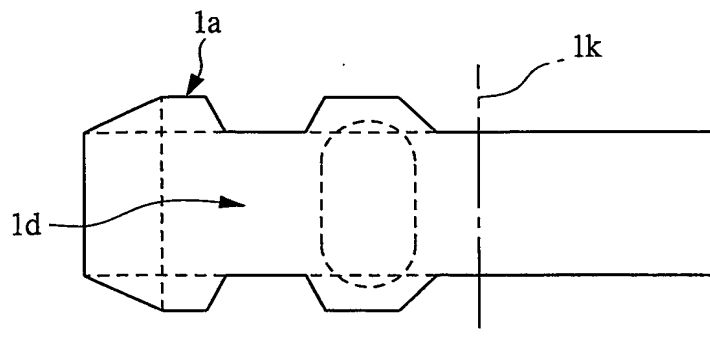
24



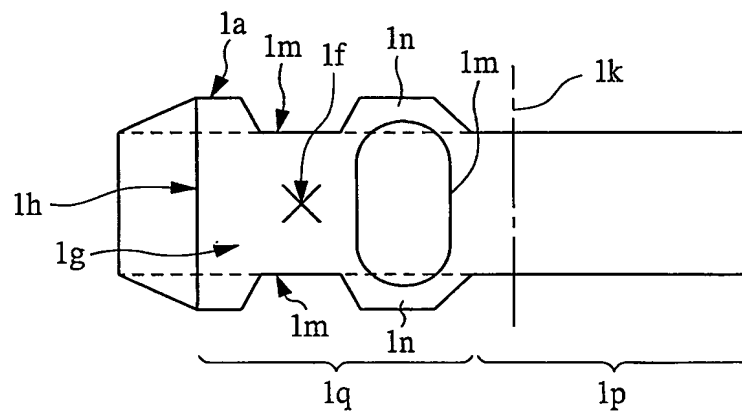
25



26



27



28

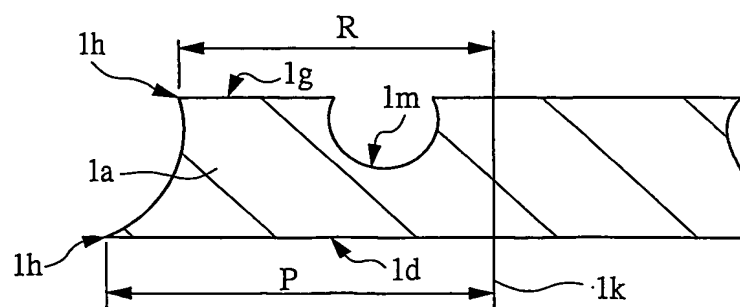




図 29

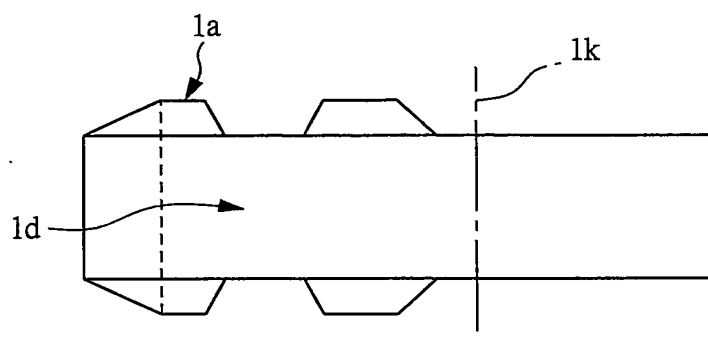


図 30

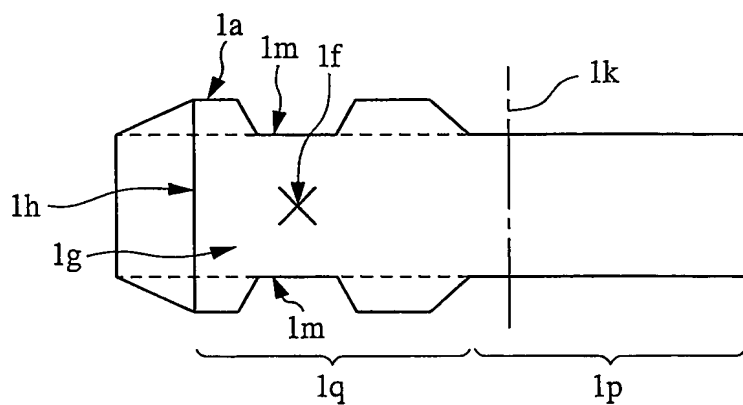
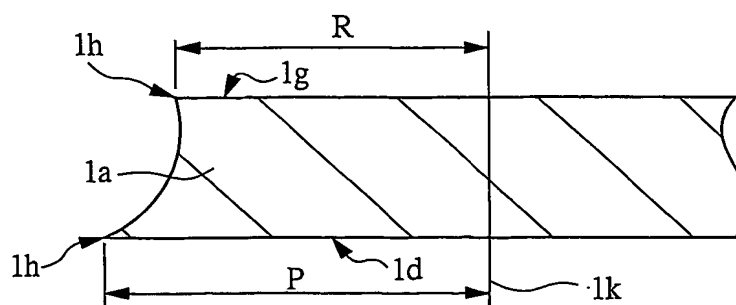
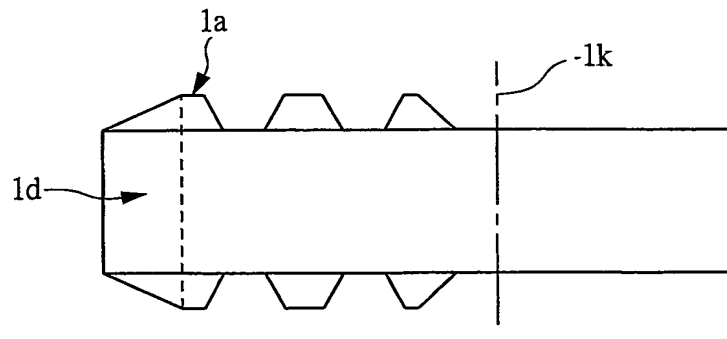


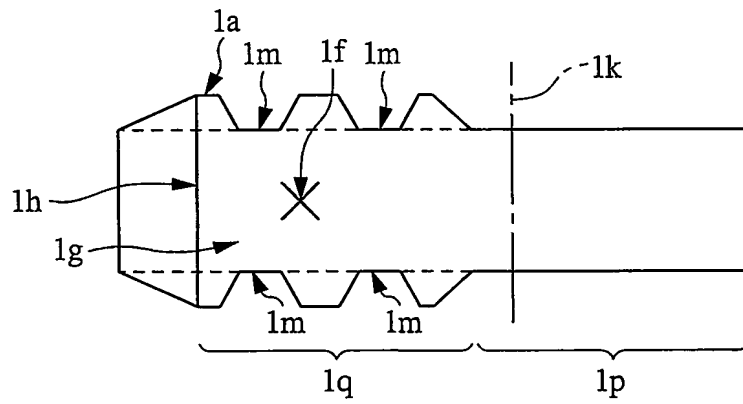
図 31



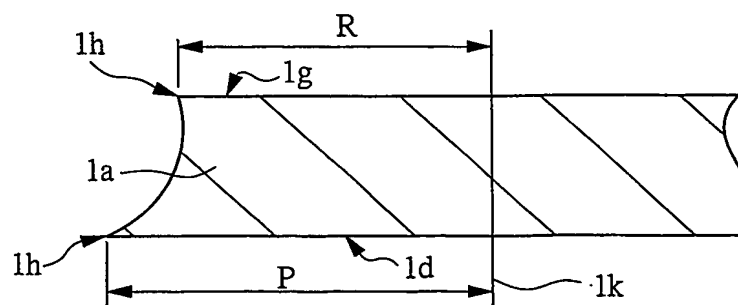
32



33



34




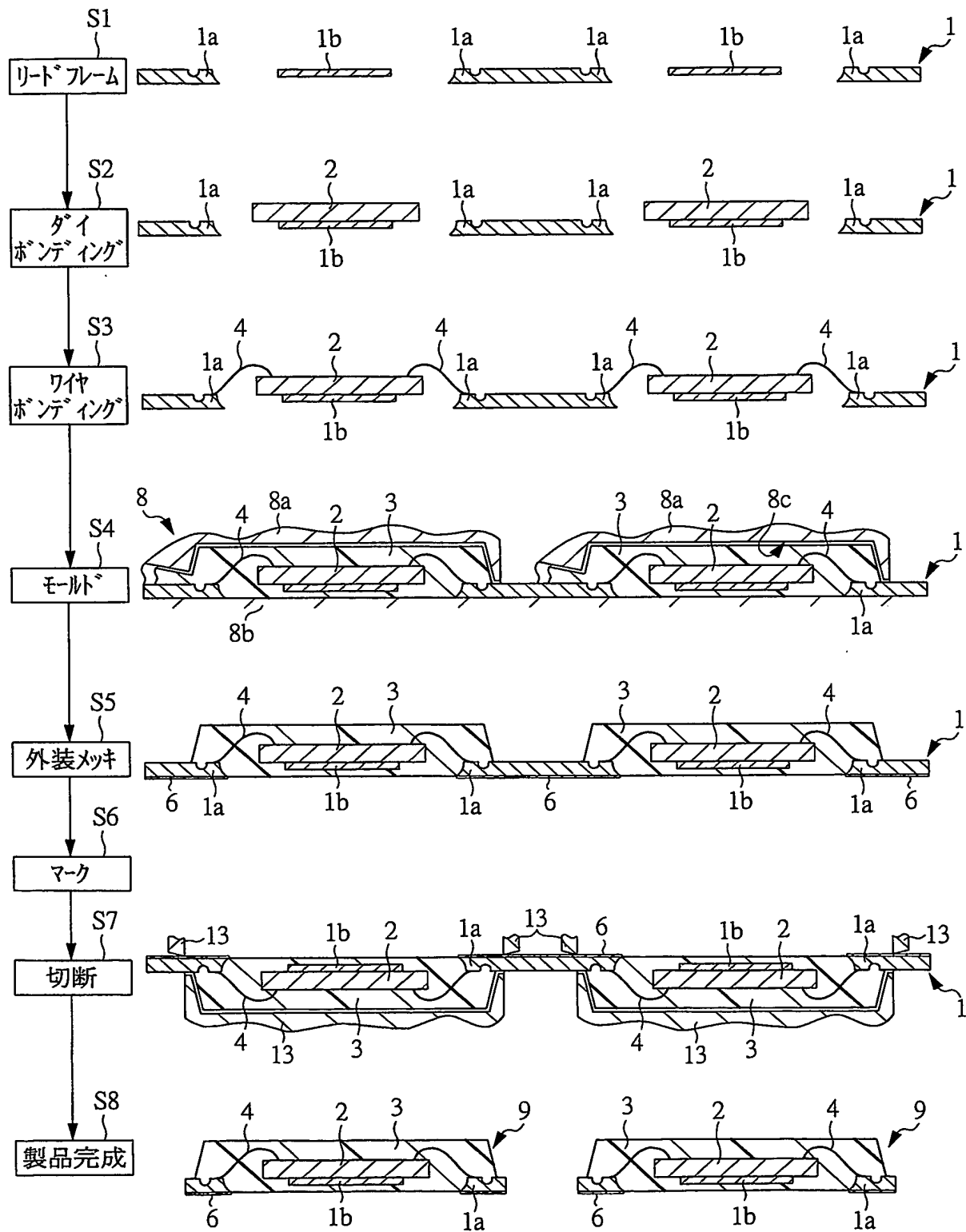
 35


図 36

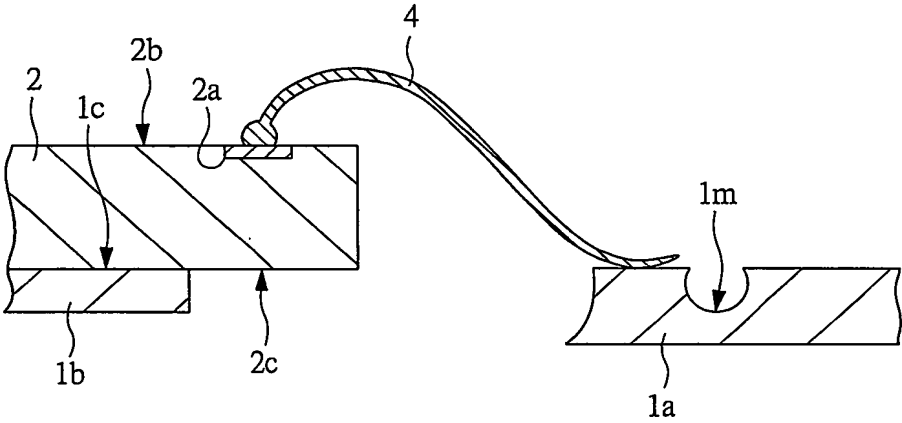


図 37

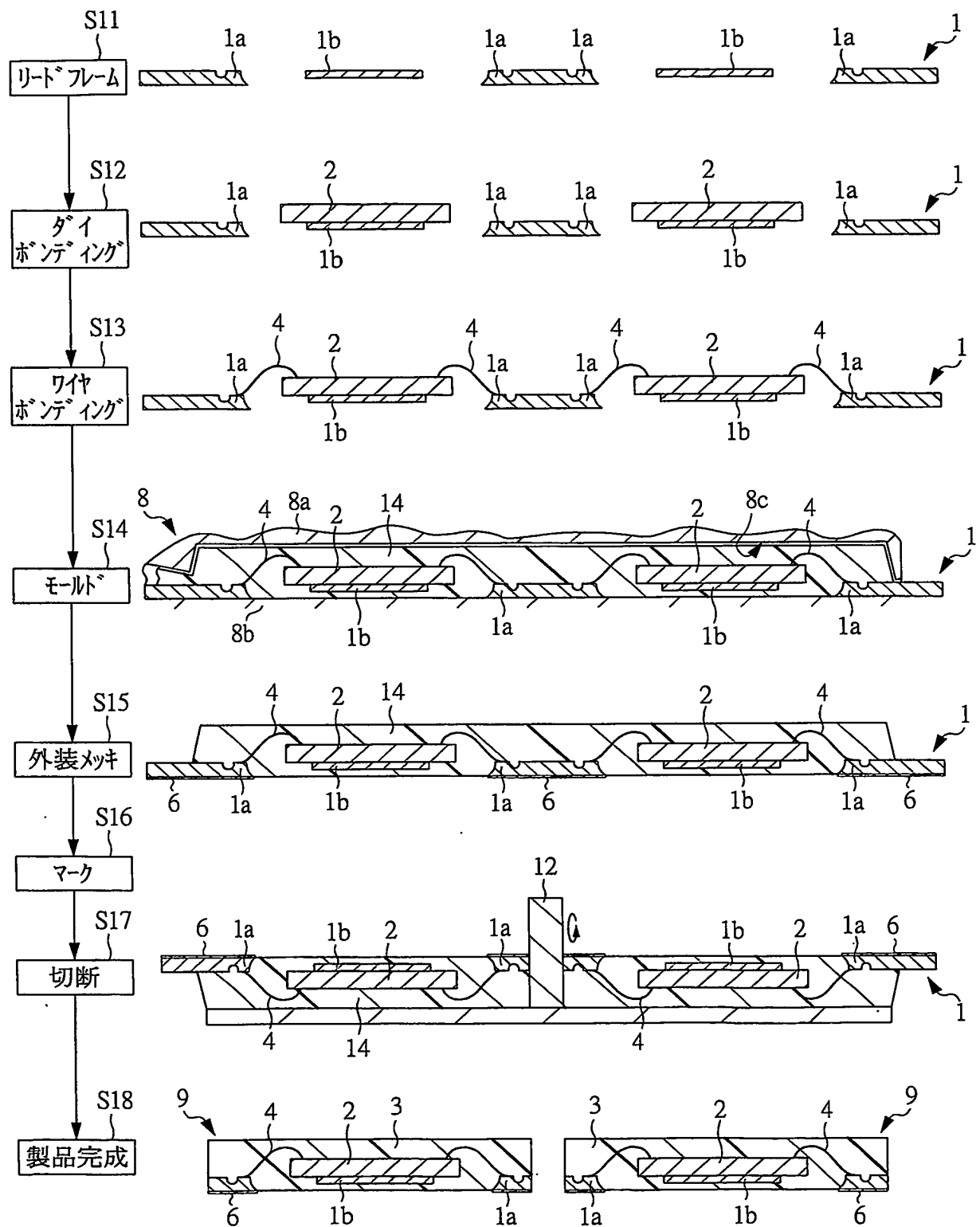


図 38

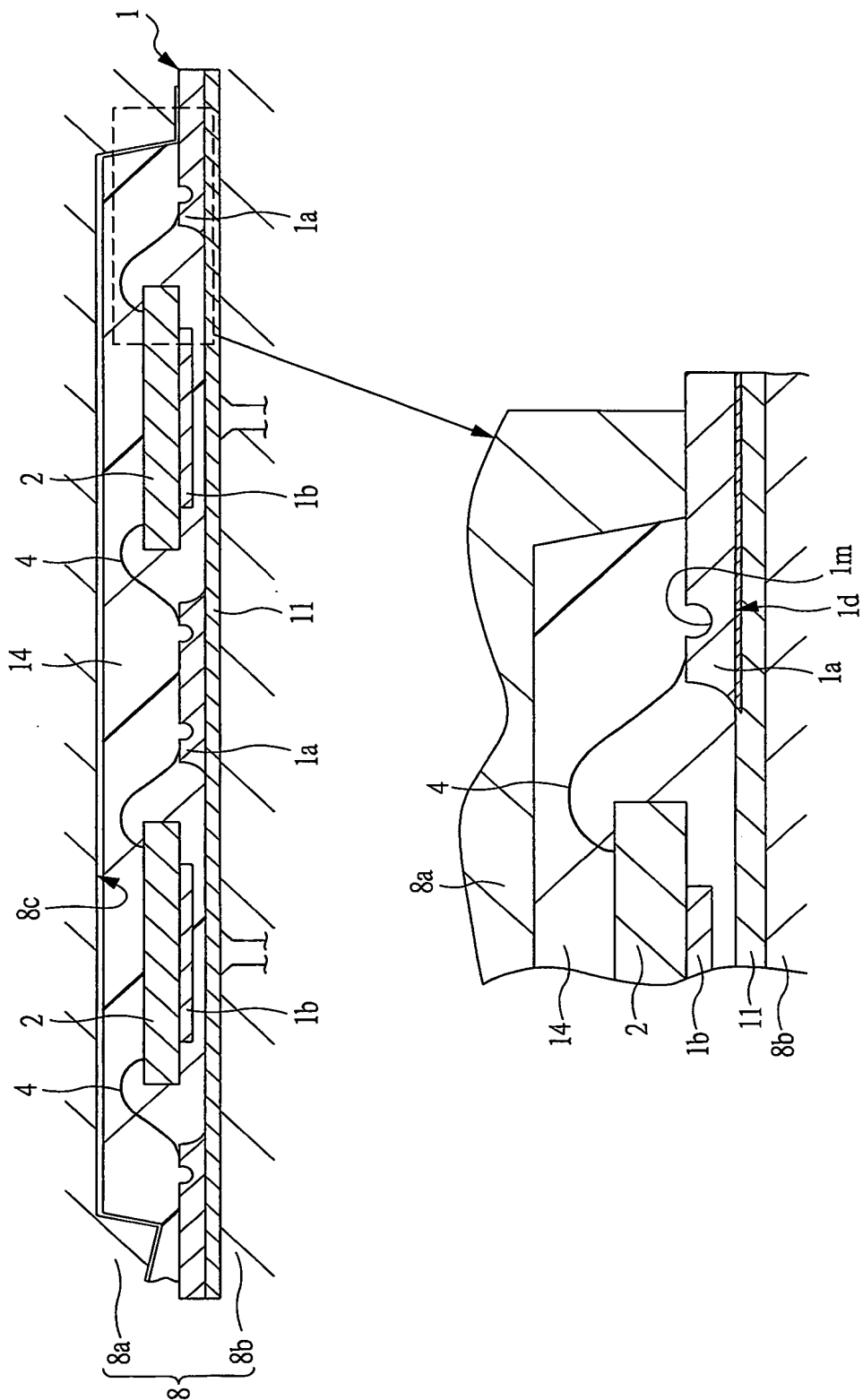


図 39

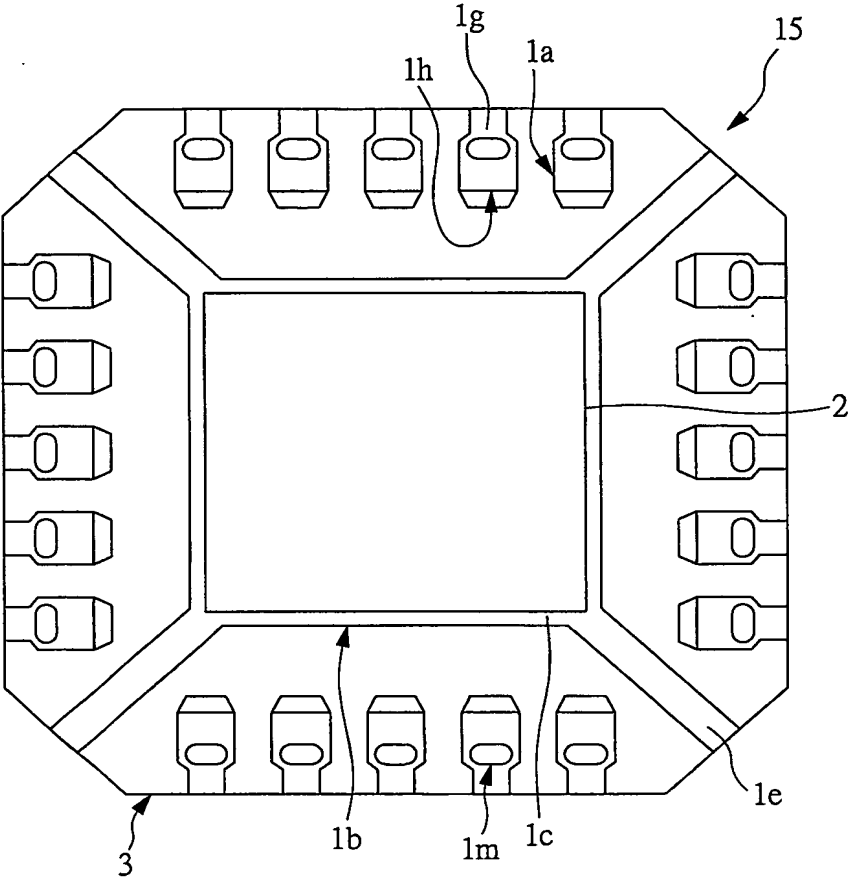


図 40

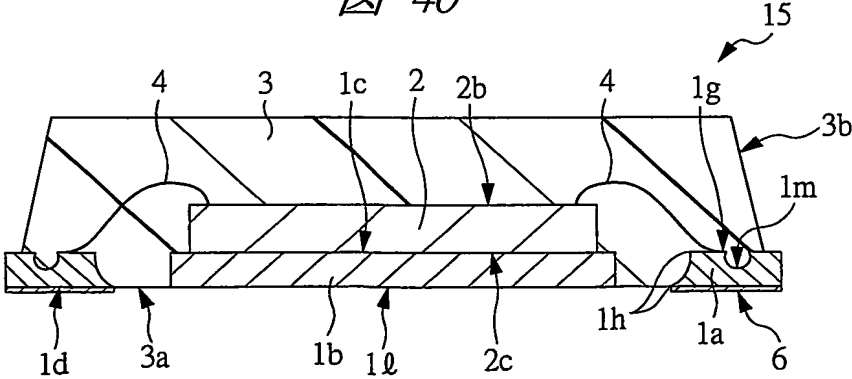


図 41

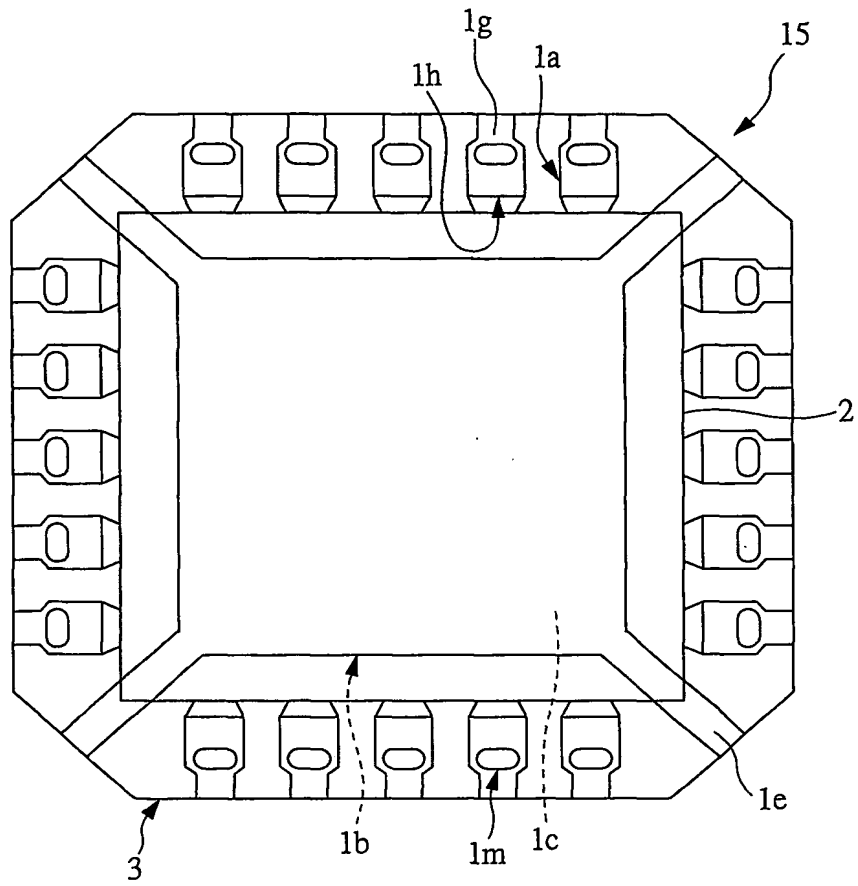


図 42

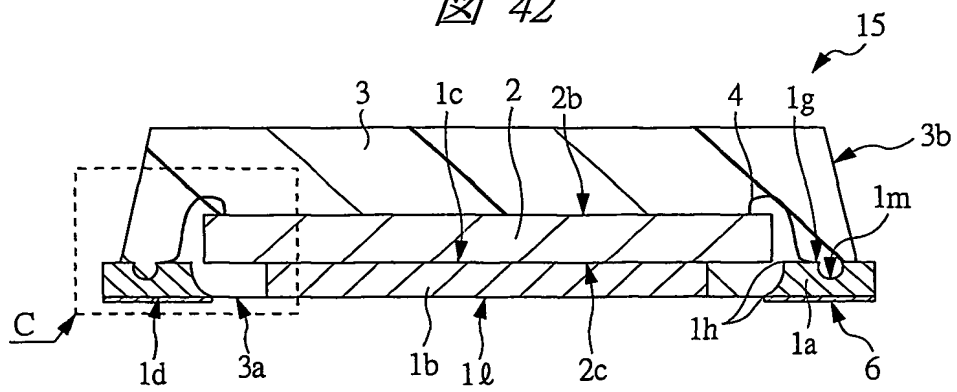




図 43

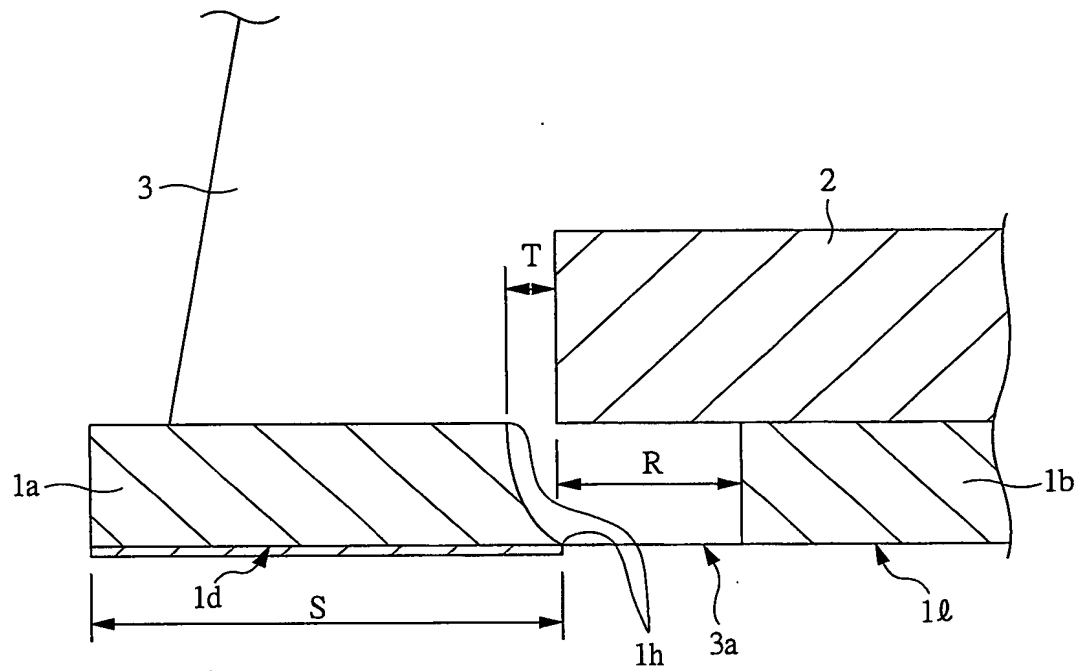


図 44

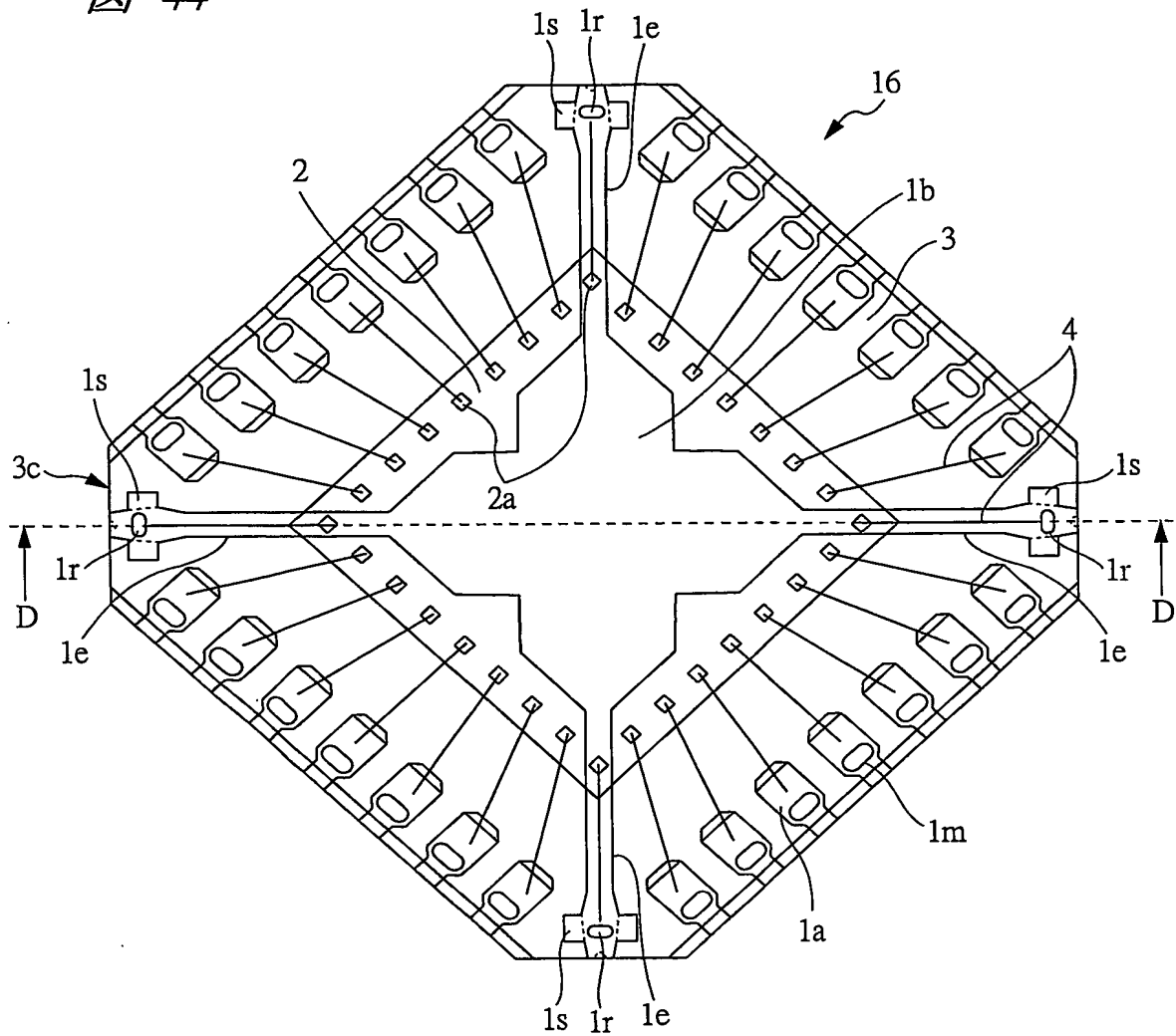


図 45

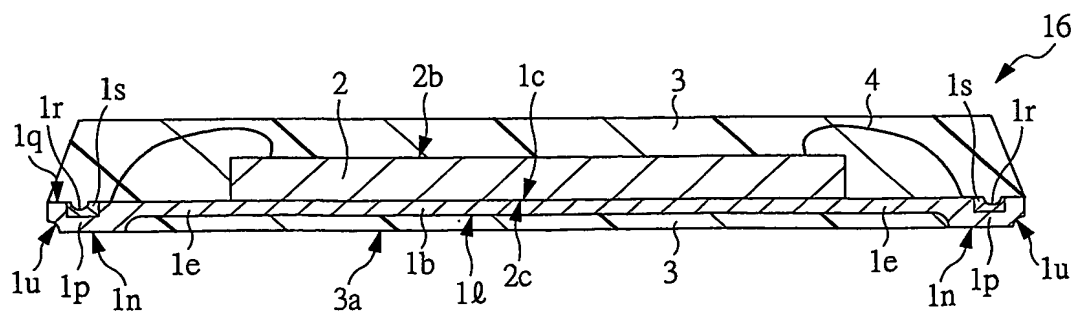


図 46

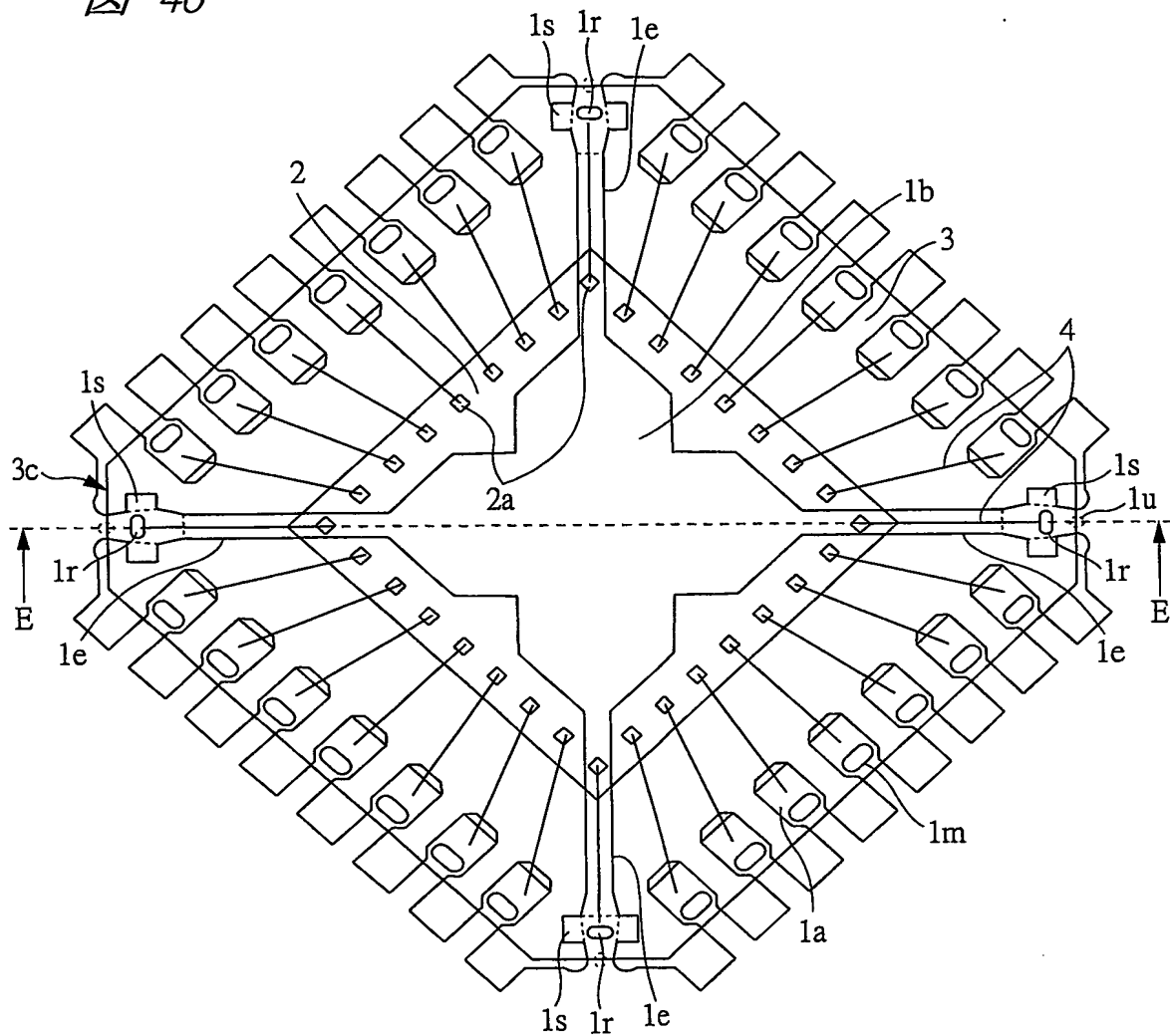


図 47

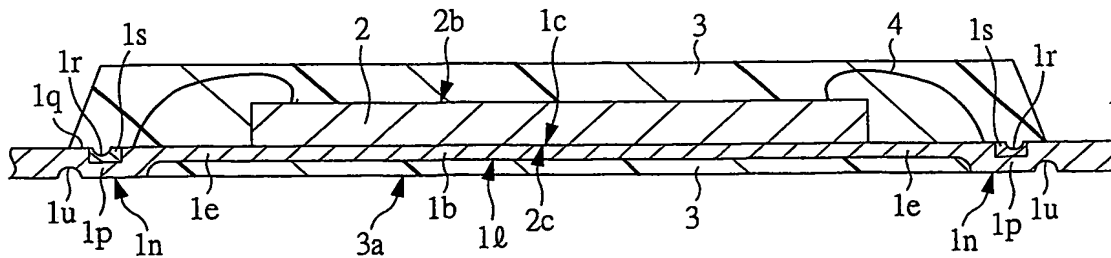




図 50

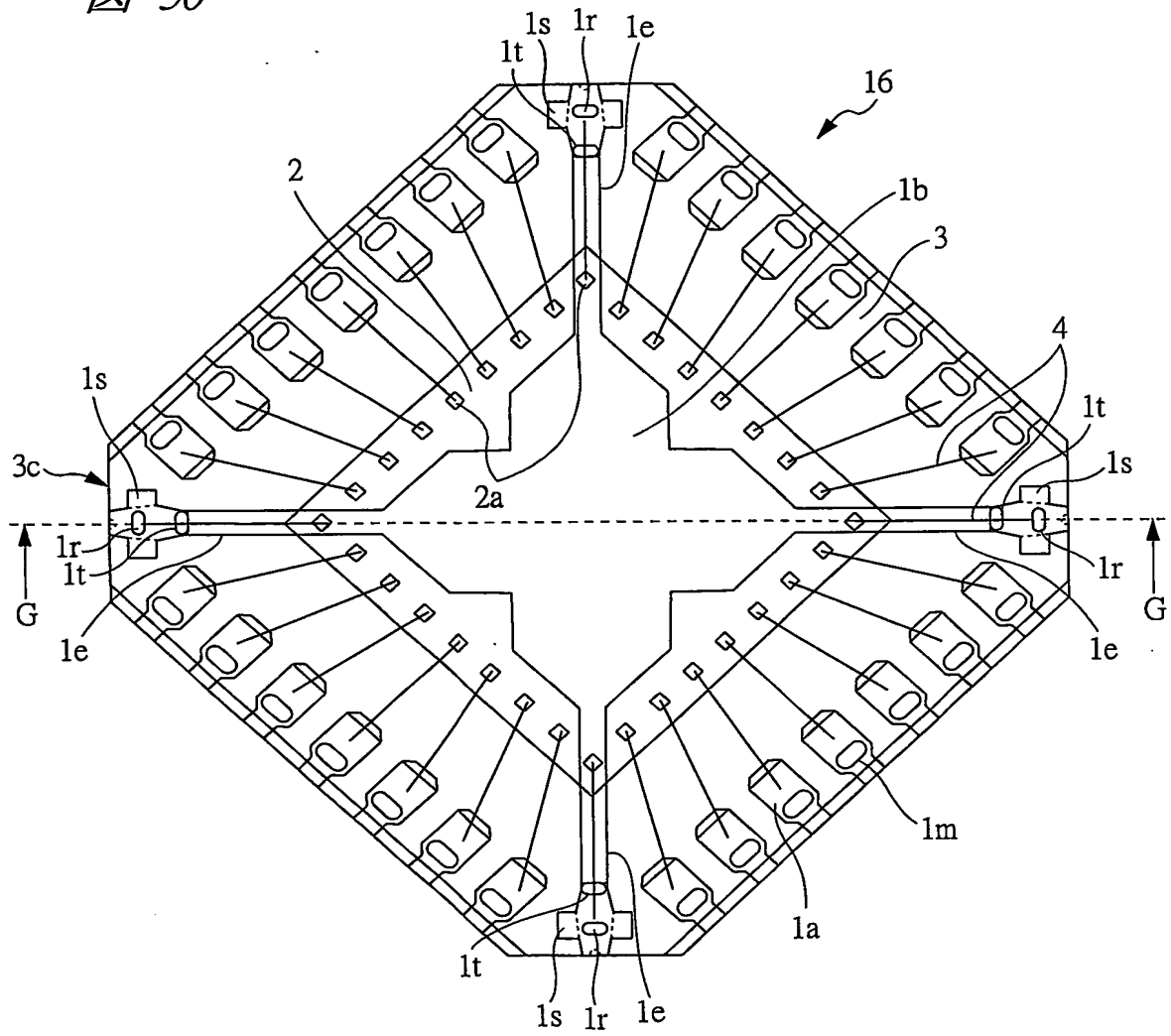


図 51

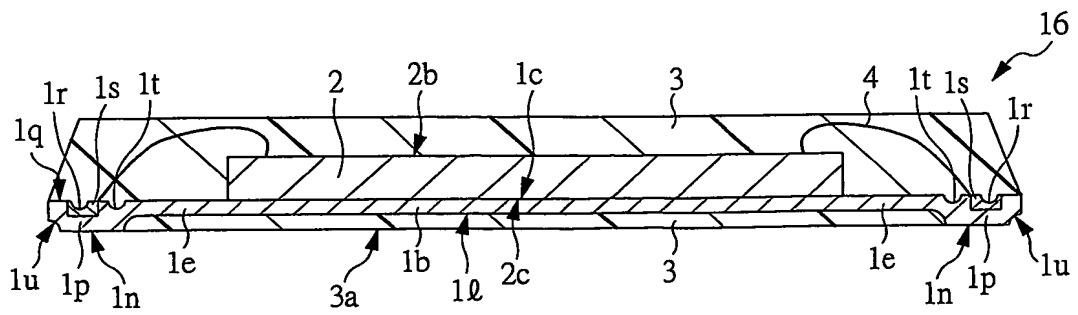


図 52

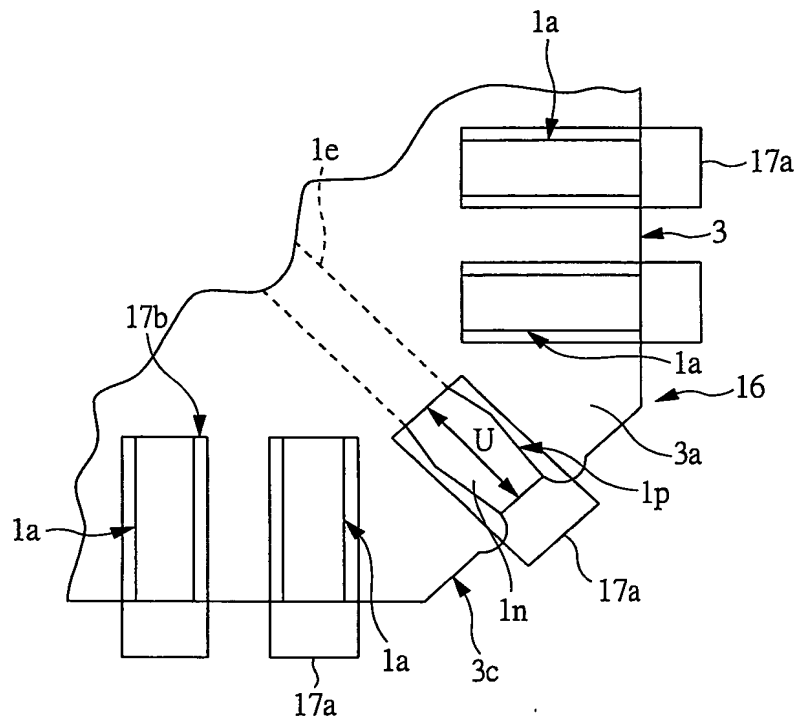


図 53

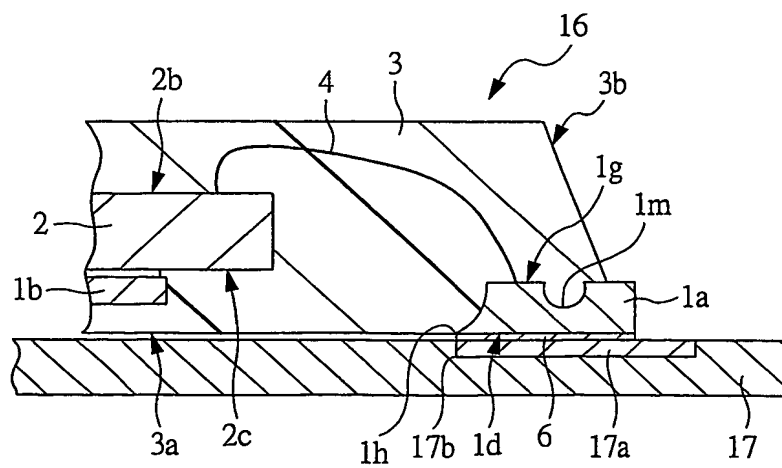


図 54

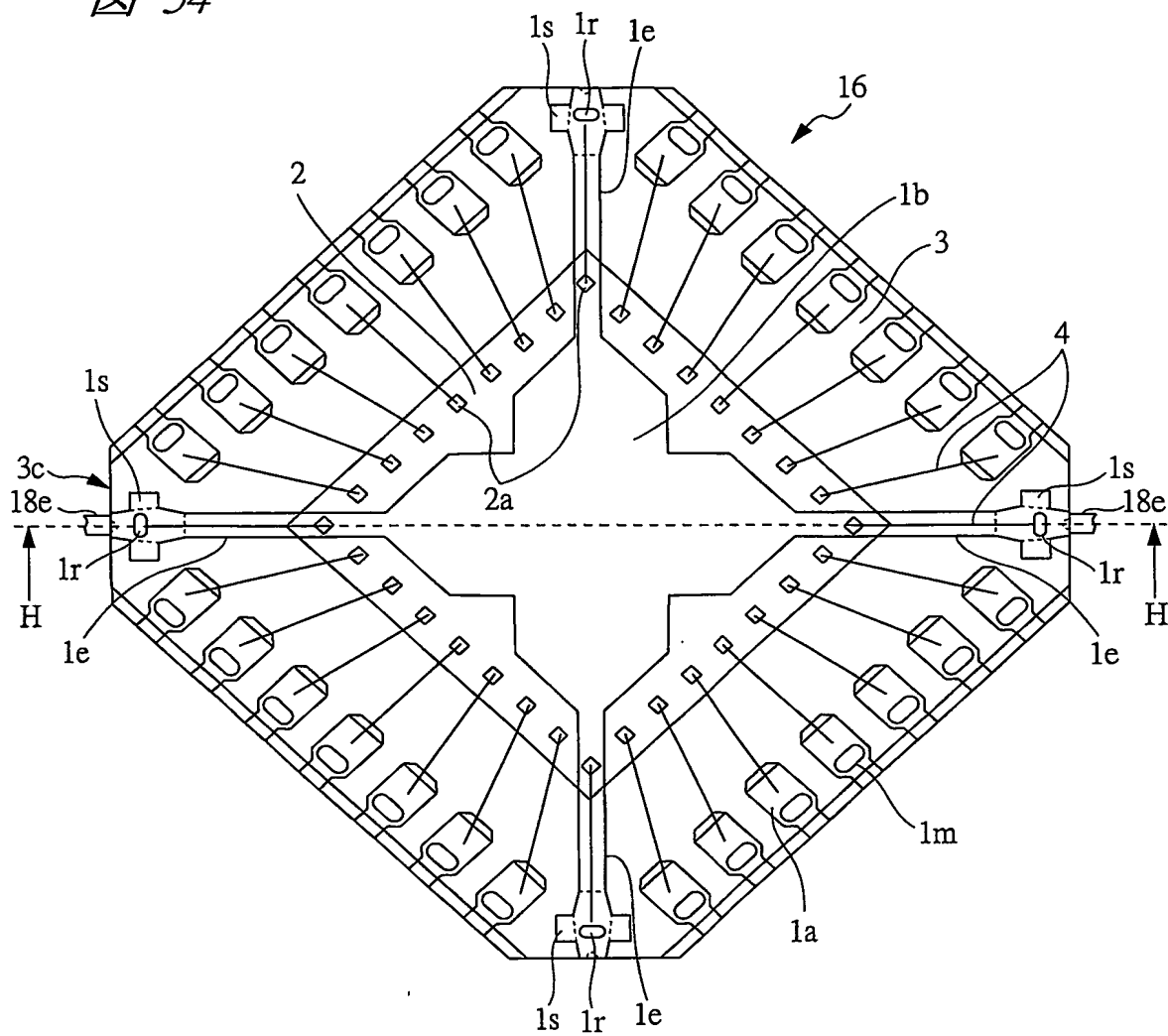


図 55

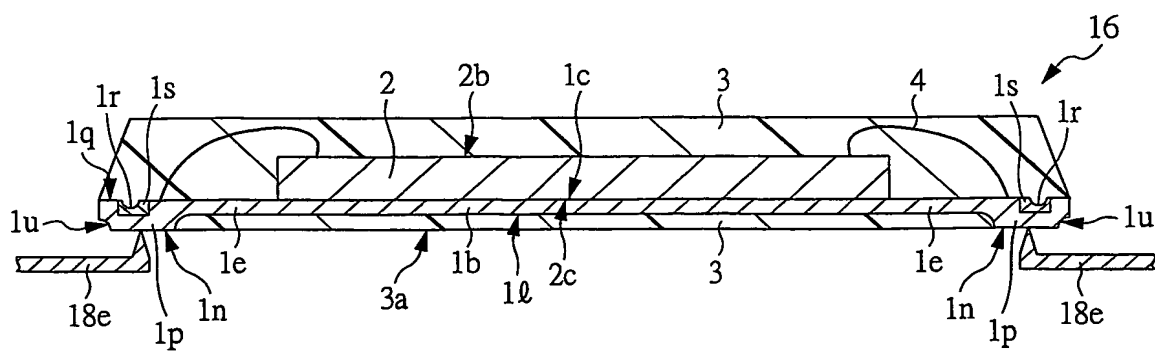


図 56

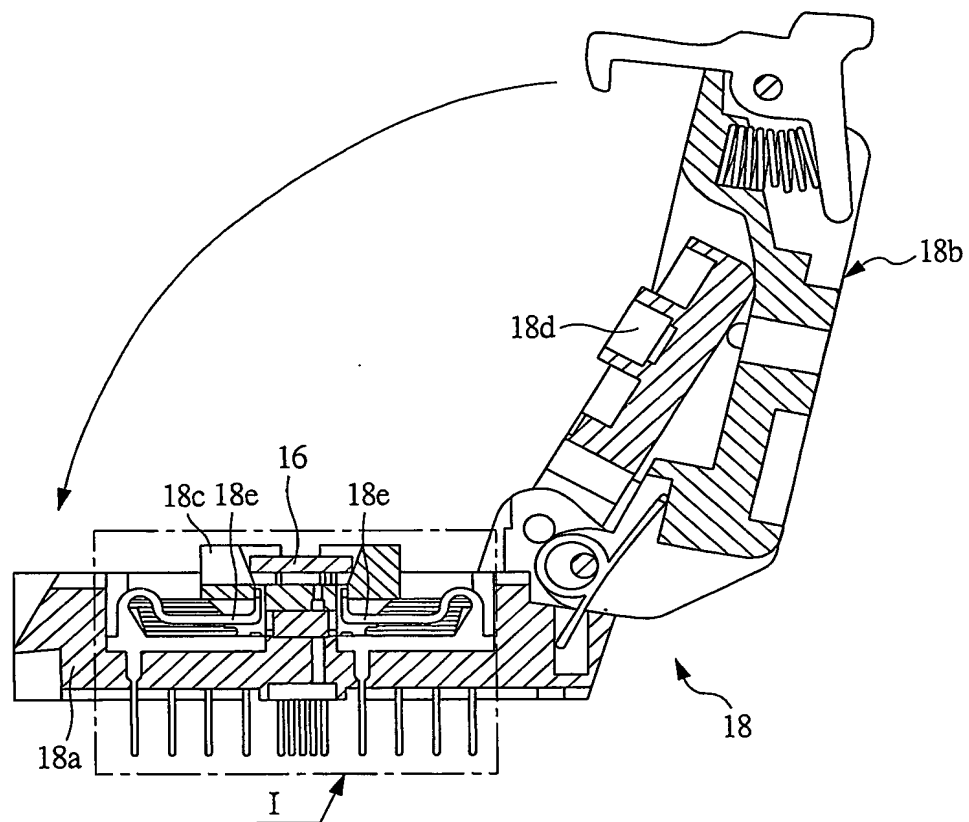




図 57

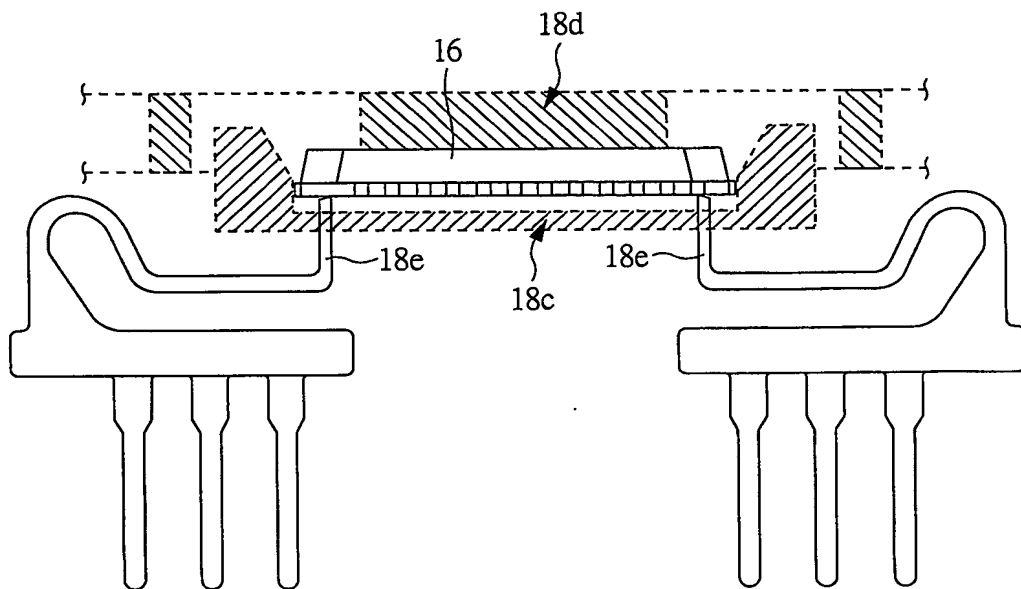


図 58

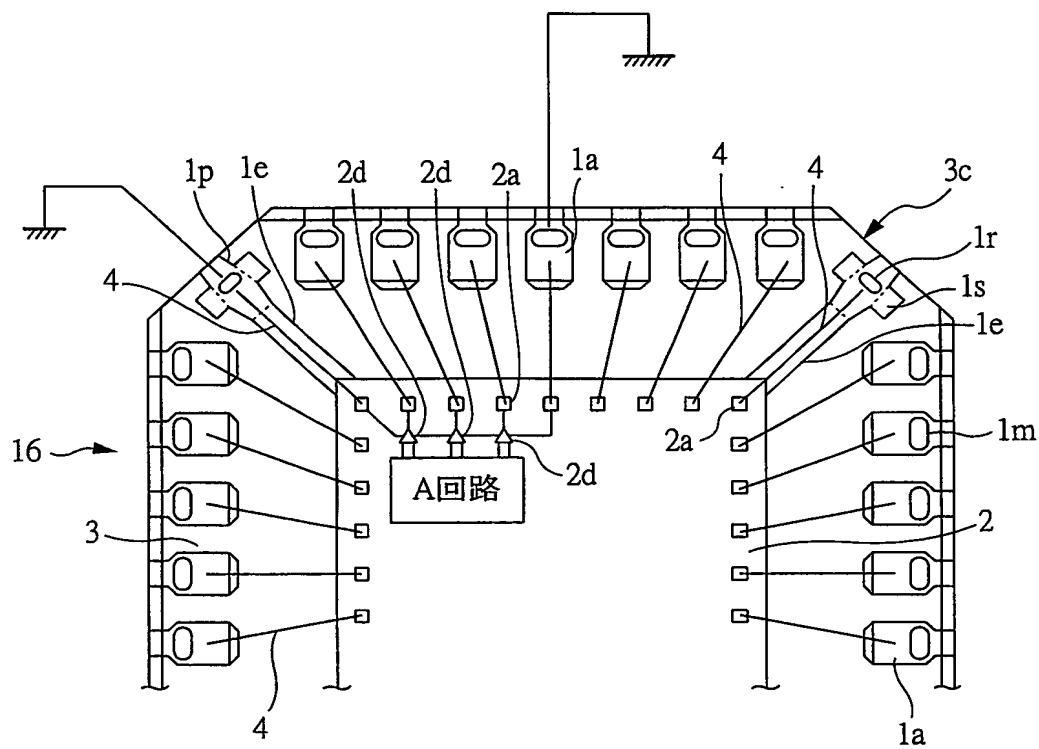
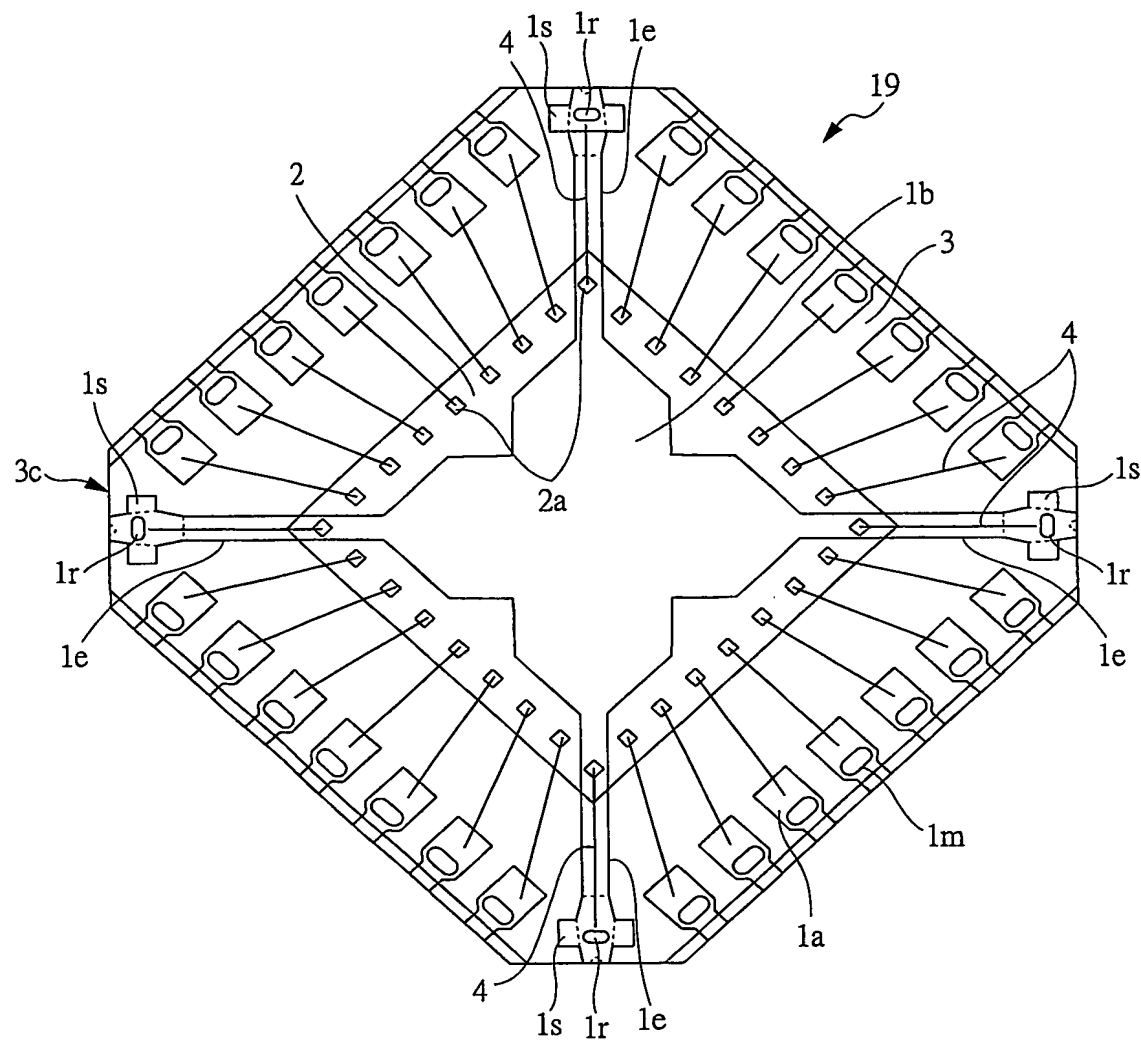


図 59



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06830

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L23/50

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-124240 A (Matsushita Electronics Corp.), 28 April, 2000 (28.04.00), Par. Nos. [0042] to [0045]; Figs. 4 to 6, 12 (Family: none)	1, 5-6, 11, 14
A	US 2002/0041011 A1 (Kazutaka SHIBATA), 11 April, 2002 (11.04.02), & JP 2002-118222 A	1-15, 26-31
A	JP 2001-358279 A (Sony Corp.), 26 December, 2001 (26.12.01), (Family: none)	16-25, 32
A	WO 99/00826 A2 (Matsushita Electronics Corp.), 07 January, 1999 (07.01.99), & JP 11-074440 A & EP 996962 A2	16-25, 32

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
26 June, 2003 (26.06.03)Date of mailing of the international search report  
08 July, 2003 (08.07.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/06830

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01/03183 A2 (Hitachi, Ltd.), 11 January, 2001 (11.01.01), & AU 5706900 A	1-32

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06830

## Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

I. The inventions of claims 1-5, 26-31 relate to a semiconductor device wherein the length between the inside end sections of an encapsulation section forming face is longer than the length between the inside end sections of a face to be mounted.

II. The inventions of claims 16-25, 32 relate to a semiconductor device wherein a wire is connected to the region of a face opposite to the face to be mounted of a suspension lead that faces the face to be mounted.

These two groups of inventions are not inventions which are so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>1</sup> H01L23/50

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>1</sup> H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-124240 A(松下電子工業株式会社)2000.04.28, 【0042】 - 【0045】 , 図4-6, 図12(ファミリーなし)	1, 5-6, 11, 14
A	US 2002/0041011 A1(Kazutaka Shibata)2002.04.11 & JP 2002-118222 A	1-15, 26-31
A	JP 2001-358279 A(ソニー株式会社)2001.12.26 (ファミリーなし)	16-25, 32

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

26.06.03

国際調査報告の発送日

08.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R

9265

電話番号 03-3581-1101 内線 6738

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 99/00826 A2 (松下電子工業株式会社) 1999. 01. 07 & JP 11-074440 A & EP 996962 A2	16-25, 32
A	WO 01/03183 A2 (株式会社日立製作所) 2001. 01. 11 & AU 5706900 A	1-32



## 第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

I. 請求の範囲1-15, 26-31は、封止形成面の内側端部間の長さが、被実装面の内側端部間の長さより長い半導体装置に関するものである。

II. 請求の範囲16-25, 32は、吊りリードの被実装面の反対側の面の被実装面に対向する領域に、ワイヤが接続されている半導体装置に関するものである。

そして、これらの二つの発明群が単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。